

驗證IC代工封裝零缺陷

AEC-Q004助攻車廠供應鏈

林忠逸

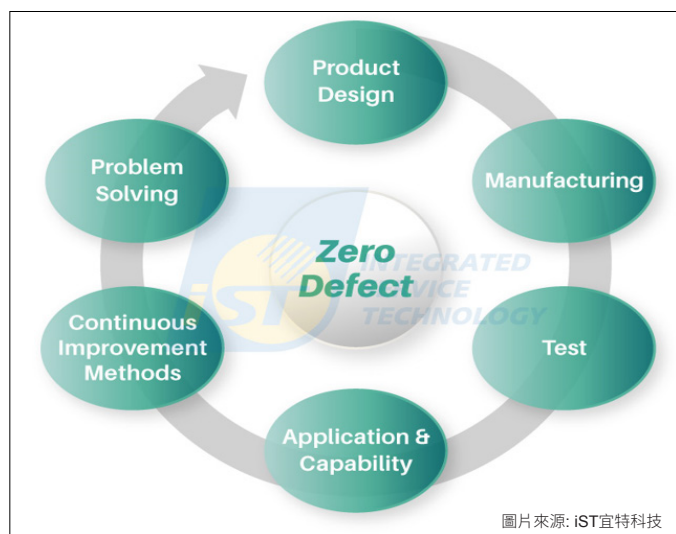
隨著車用半導體市場持續成長，Fabless IC設計業者在缺乏自有晶圓廠的情況下，如何向車廠證明晶片符合零缺陷(Zero Defect)車規品質要求，是成為進入車用供應鏈的重要課題。本文將說明AEC-Q004如何協助IC設計業者業者建立零缺陷品質管理架構。

近年來，車用半導體市場熱度持續發燒，許多IC設計業者積極布局車用供應鏈。然而，在傳統消費型電子中，設計歸設計、製造歸製造。但在車用晶片(Automotive IC)領域，一點點微小的瑕疵都可能導致嚴重的安全事故，跨入車規市場的門檻可說極高。

自2018年起，以BMW、Volkswagen、Audi為首的歐系車廠開始積極推動零缺陷理念，要求半導體供應鏈從設計、製造到測試皆須以風險思維貫穿。Tier 1供應商與車廠原始設備製造商(Original Equipment Manufacturer, OEM)對產品可靠度與異常回覆速度的要求亦不斷提升，車用晶片需支援長達15年的車輛使

用週期，並滿足超過12,000小時的累計運作要求，以及-40°C至+125°C的極端溫度考驗，還需應對嚴格的委外製造供應鏈追溯能力與客戶稽核。

具備設計與製造一條龍能力的整合半導體元件製造商IDM(Integrated Device Manufacturer, IDM)，因擁有自家晶圓廠，通常已取得IATF 16949這張認證，也就是進入汽車供應鏈的基本要求；但對於沒有晶圓廠的IC設計業者來說，在



圖片來源: IST宜特科技

圖1 AEC-Q004零缺陷六大管理面向

缺乏自有製程的情況下，該如何向車廠證明已具有車規級的零缺陷品質呢？

AEC-Q004《Automotive Zero Defect Framework》可作為設計與製造之間的品質溝通框架，協助供應鏈上下游建立一致的管理標準。下文將說明如何透過AEC-Q004的框架，揭露所有潛在的失效因子。讓IC設計公司能從被動應付測試轉向主動品質管理，從消費級晶片商升格為車規級供應商。

AEC-Q004與相關車用標準之關係

自2018年起，歐系大車廠(如BMW、Volkswagen、Audi)積極推動零缺陷品質文化。為了具體落實這個目標，AEC於2020年發表AEC-Q004。

AEC-Q004並非用來取代既有標準，而是作為AEC-Q100等車用元件可靠度驗證標準的延伸品質指南，用以補強車用半導體在量產階段的零缺陷管理機制。

在實務上，AEC-Q004常與下列體系共同運作：AEC-Q100/Q101/Q102(元件可靠度驗證)、IATF 16949(汽車供應鏈品質管理系統)、ISO 26262(功能安全要求)。

AEC-Q004將車廠極度要求的零缺陷文化，具體化為六大管理面向，包含設計防錯、製程管理、測試與良率分析、應用與能力管理、持續改善以及問題解決。這六大管理面向能對應到IATF 16949的核心工具(如FMEA、SPC、PPAP等)，藉此消除設計端與製造端之間的斷層(圖1)。

宜特指出，AEC-Q004的統計防錯基

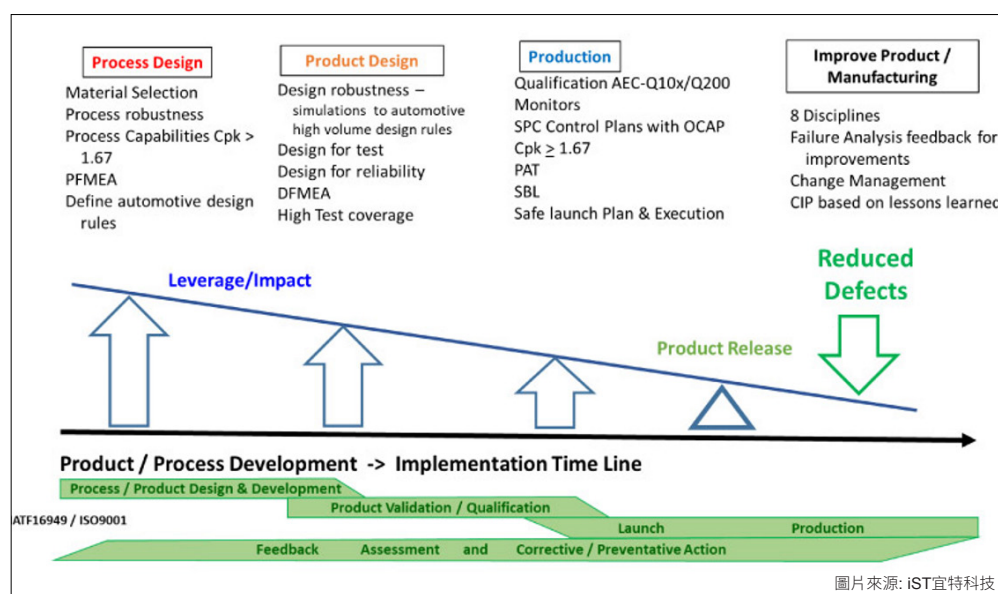


圖2 AEC-Q004零缺陷實施架構。圖表左半邊(產品設計階段)愈紮實，右半邊(預防失效)的成效就愈顯著

礎亦度整合了AEC-Q001(Part Average Testing, PAT)與AEC-Q002(Statistical Yield Analysis)兩項核心規範，用以過濾異常樣本(Outlier)與管控異常良率批次(SYL、SBL)，確保隱性不良品不會流入車廠(圖2)。

有了這套標準，再加上Automotive Service Package(ASP)外包治理機制，即使是沒有自有工廠的IC設計業者，也能與代工廠及封測廠建立一致的品質管理流程。這不僅能確實滿足車規嚴苛的壽命與可靠度要求，更有助企業建立系統化的零缺陷管理機制。

AEC-Q004統計防錯機制節除潛在缺陷

三層防錯架構

根據實務驗證經驗，AEC-Q004為了將零缺陷管理從設計端一路延伸至量產與改善階段，特別將六大管理面向橫向展開，並縱向設計三層防錯架構，形成一個從實體特徵、電性行為到統計監控的全流程風險防控循環：

- 實體層(Physical)

關注物理與結構上的控制，包含製程能力、統計製程管制(Statistical Process Control, SPC)、異常行動計畫(Out of Control Action Plan, OCAP)。

- 電性層(Electrical)

確保電性行為符合預期，包括晶圓針測(Electrical Die Sort, EDS)與測試覆蓋率(Test Coverage)。

表 1 彙整 AEC-Q004 六大管理面向與 IATF16949 核心工具之對應關係

AEC-Q004 管理面向	主要內容	對應 IATF 16949 核心工具
設計防錯	DFMEA、DFT、DFT、Redundancy、Design Review	FMEA
製程管理	PFMEA、Control Plan、SPC、OCAP、Process Audit	APQP/Control Plan
測試與良率分析	PAT、SBL、SYL、Yield Monitoring、Data Collection	SPC/MSA
應用與能力	Mission Profile、Derating、ISO 26262、Stress-Strength Analysis	DFMEA/MAS
持續改善	Wafer Monitoring、Defect Tracking、CIP、ORT	PPAP/CIP
問題解決	8D、FTA、EFA、PFA、Root Cause Analysis	CAPA/Problem Solving Process

圖表來源:IST宜特科技

• 統計層(Statistical)

利用巨量資料分析，以過濾潛在瑕疵，其方法有PAT、SBL、SYL及異常樣本管控(Outlier Control)等。

為了說明此多層次風險管控機制，AEC建立了一個清晰的交叉矩陣，確保六大管理面向在每個層次都能被徹底落實(表2)。

跨規範建構統計防錯機制

在這三層防線中，統計層是其中的重要環節。簡單來說，就是透過統計分析辨識潛在異常元件。AEC-Q004為了有效防堵失效，整合了AEC-Q001與AEC-Q002兩項核心規範，建立統計防錯機制，精準過濾異常批次與產品：

• PAT(Part Average Test)找出異常樣本

同一批晶片中，即使其中一顆晶粒的測試結果符合規格，若其電性參數明顯偏離該批次的統計分布(Statistical Distribution)，仍可能被判定為異常樣本並剔除。透過PAT的異常樣本篩選機制(Outlier Screening)，可避免將導致早期失效的潛在不良晶粒流入供應鏈。

• SYL(Statistical Yield Limit)用於剔除低良率批次

當單一批次的測試bin分布或良率表現明顯偏離長期統計趨勢(例如低於統計下限)時，這代表該批產品可能存在製程、材料或設備異常，系統將觸發SYL機制以進行異常批次管控，啟動調查並可能

表 2 AEC-Q004 三層防線 × 六大管理面向交叉矩陣

三層防線層級	設計防錯	製程管理	測試與良率分析	應用與能力管理	持續改善	問題解決
實體層 (Physical)	● 設計階段導入 DFR 與 DFM 以避免結構性失效 ● 考量 Process Capability(Cpk ≥ 1.67)	● 監督 Foundry 製程能力與 SPC 穩定性 ● OCAP 異常行動計畫	△ 以結構性 Defect 分析支持良率改善	△ 依車規 Mission Profile 評估材料與 Package 熱應力	● 導入製程監控指標、定期 Cpk 追蹤	○ 針對 Physical Defect 實施 FA/EFA 分析
電性層 (Electrical)	△ 於設計階段考量 Test Coverage 與 DFT 架構	○ 透過 CP 與 Audit 確保 Electrical Test 站點穩定	● PAT 統計、Bin 分布、EDS 篩選	● 驗證電性壽命 (HTOL、HAST) 與 ISO 26262 ASIL 需求	○ 透過 SPC	● 藉 PFA/8D 追溯 Fail 模式與根因
統計層 (Statistical)	△ 設計階段建立 SC List 以支持統計分析	● PFMEA/SPC 資料閉環回饋	● Outlier/SYL/SBL 批次管控	△ 以 Stress Strength Model 支持可靠度統計驗證	● CIP 與 Wafer Level Yield Trend 改善	● 以 FTA 統計模式支援根因驗證

(符號說明：● 主要關聯 / △ 次要關聯 / ○ 輔助關聯)

圖表來源:IST宜特科技

暫停出貨，以避免潛在缺陷流入車廠。

- SBL(Statistical Bin Limit)調查假性高良率

當某個測試bin的比例異常增加(高於統計上限)時，可能代表測試條件設定異常、測試覆蓋率不足，或潛在缺陷未被正確篩出。此時將啟動SBL調查，以確認是否存在測試逃逸(Test Escape)或測試條件偏移的風險。

透過結合了實體、電性與統計攔截的防錯機制，半導體業者即可藉由多層次的防錯機制，降低潛在缺陷產品流入供應鏈的風險。

ASP落實委外製程監督

實務上，部分業者可透過ASP機制，落實AEC-Q004相關品質要求(表3)。

身為IC設計公司，產品需要交由代工廠與封測廠生產。為了確保符合車規對製程穩定度的要求，建議業者必須依循AEC-Q004要求，建立完善的ASP制度。

透過設計-製造-測試的三層防線(實體層、電性層、統計層)，IC設計業者可以嚴格監督外包夥伴。例如：要求代工廠的製程能力指標Cpk必須大於等於1.67、落實OCAP與PAT篩選機制，並且簽訂車用品質協議(Automotive Quality Agreement)以釐清品質責任。

隨著Tier 1與車廠對可靠度的要求越來越高，AEC-Q004已經成為車用供應鏈的重要品質管理架構。它不僅提供品質管理指引，也建立供應鏈共同遵循的管理框架。只要建立一致的品質管理標準，沒有晶圓廠的IC設計公司也能以設計防錯、製程監督、統計防錯三位一體的方式，滿足車用供應鏈的品質要求。

對於以零缺陷為目標進行管理的供應商而言，通過AEC-Q100驗證僅為進入全球車規供應鏈的基本門檻之一，能通過車廠對零缺陷的嚴苛稽核才是真正面臨的考驗。 

(本文作者為宜特科技資深經理)

表 3 車用 ASP 與商用製程差異對照表

類別	項目	汽車應用要求	商用產品差異
Route	APQP/PPAP/Control Plan	必須實施	僅部分流程
SPC	Cpk $\geq$ 1.1.33	具體門檻要求	視情況
OCAP	Out of Control Action Plan	強制要求	可選用
OQA	PAT、SYL、SBL 統計攔截	強制實施	視情況

圖表來源:ST宜特科技