

TX/RX/COM實測解析

400G/800G高速網路驗證關鍵

文 | 魏子育

當400G/800G乙太網路從規格書走向實際量產，許多研發團隊都遇到相同的情境：模擬沒問題、IC規格也符合，但產品卻沒辦法達到最高速。問題究竟出自設計、實體通道特性，還是測試條件？高速乙太網路驗證的難點何在？

NVIDIA執行長黃仁勳於CES 2026演講中正式發表了全新Vera Rubin架構，其運算效能較前代Blackwell大幅躍升5倍，資料中心網路已開始邁向1.6T的高限頻寬。當業界領頭羊已定義了下一個時代的傳輸規格，回頭看目前正進入量產高峰的400G/800G乙太網路，訊號完整性的挑戰除了「符合標準」外，如何在高頻寬下確保設計有足夠的訊號裕度(Margin)更是關鍵。

在這樣的演進下，高速乙太網路早已不只是頻寬翻倍的問題，而是訊號完整性(Signal Integrity, SI)驗證難度呈現等比級數成長。

在高速傳輸產品設計初期，訊號完整性模擬是不可或缺的第一步，能在設計初期協助研發團隊進行架構最佳化與風險評估。然而，在100G/lane PAM4架構下，高速乙太網路對實體通道、連接器與測試條件的容錯空間已被壓縮至極限。任何微小的阻抗不連續、材料差異、等化器設定偏移，或測試校準誤差，都可能在實測階段被放大成系統性風險。

尤其在NVIDIA H100/H200、Blackwell到最新的Vera Rubin架構帶動下，加上AMD加速器平台與Google等雲

端業者也陸續擴大AI基礎設施布署的情況下，維持高速且穩定的頻寬已成為硬體生存的標配。這也讓400G/800G的訊號驗證，成為AI系統能否順利量產、銜接未來1.6T規格的關鍵門檻。

本文將聚焦400G/800G的實測驗證，從發射端(Transmitter, TX)、接收端(Receiver, RX)與散射參數(S-Parameter)測試條件設定等面向，探討高速乙太網路驗證的關鍵挑戰。

高速乙太網路訊號完整性驗證

在400G/800G乙太網路世代，單通道資料率已攀升至100Gbps(112G PAM4)的驚人速度。在如此高的運作頻率下，訊號對於插損(Insertion Loss)、反射(Reflection)與串擾(Crosstalk)的敏感度極高，任何微小的阻抗不連續點(Impedance

Discontinuity)，都會在眼圖(Eye Diagram)或誤碼率(Bit Error Rate, BER)表現中被無限放大。無論是連接器、PCB走線布局、板材特性，每一處設計細節都直接影響高速訊號的完整性。

在這種嚴峻條件下，除了仰賴軟體模擬，還必須加上實測結果，嚴格遵循IEEE 802.3規範，從TX、RX等條件進行全盤確認，才能確保產品在實體系統的設計裕度。

以下將透過三個具代表性的實測情境，說明宜特訊號測試實驗室如何攻克400G /800G驗證關卡。

TX驗證：超越Pass/Fail資料驅動等化最佳化

在400G/800G世代，單通道傳輸速率飆升至100Gbps，訊號衰減非常明顯，IEEE 802.3ck為了補償而制定更加複雜的發射端等化器(Transmitter Equalizer, TXEQ)，來對應更加高速的設計標準。

5-tap EQ 參數迷宮

在100Gbps(112G PAM4)的極限傳輸下，訊號衰減極為劇烈。為此，IEEE 802.3ck規範將發射端等化器由傳統的3-tap升級至5-tap FIR，並同步將接收端的連續時間線性均衡器(Continuous Time Linear Equalizer, CTLE)強化為二

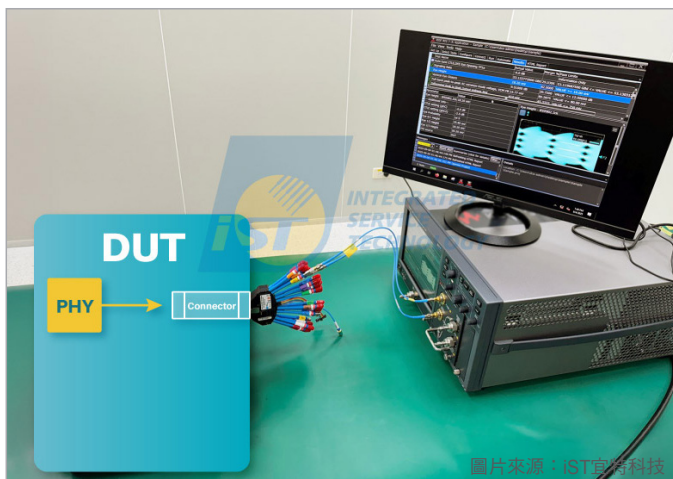


圖1 100GAUI C2M Host TX測試時的環境

階設計(gdc+gdc2)。這項演進雖大幅強化了訊號補償能力，卻也帶來了極其龐雜的參數組合。在實際測試中，若依靠人工手動逐一嘗試不同的Tap值與補償係數，更難以在龐大的組合中鎖定最佳的設定。

超越Pass門檻：從量測設計韌性

在800G TX驗證中，取得Pass僅是最低要求。就像考試成績超過60分勉強合格，但只要環境變化較大，訊號可能就沒辦法維持最高速運作。工程團隊透過高速取樣示波器的精確波形，深度解析產品波形的眼圖(Eye Diagram)與抖動(Jitter)的數值。工程師即可知道這個Pass代表高裕度(約90分)，或僅能勉強

過關(約61分)。

這種對波形細節的精確掌握，不僅能確認設計的訊號裕度，更是確保產品未來在複雜的系統環境中，能與各類設備實現高相容性、高穩定連線的關鍵。

解決方案——自動化精準鎖定最佳EQ值

為了大幅縮短測試時間，實驗室導入高頻取樣示波量測平台，結合自動化測試流程與多年來的經驗，能在短時間搜尋並鎖定最佳的等化器參數組合，提供穩定且可重現的測試結果，協助工程師迅速確認設計品質，確保產品如期完成開發。



圖片來源：IST宜特科技

圖2 100GAUI C2M Host RX訊號校正時的環境

RX驗證：校準決定測試資料生命線

不同於TX驗證旨在評估發射端的輸出品質，RX驗證的核心在於：當訊號穿越漫長通道而產生嚴重衰減時，產品是否依然具備正確解讀資料的容錯能力與接收韌性。

測試準則：訊號校正打造精準壓力訊號源

接收端測試流程中最困難的並非量測本身，而是事前的「訊號校正」。為了測試接收器的容錯極限，必須根據規範，人為地引入特定分量的抖動(Jitter)、干擾(Interference)與雜訊。

如果測試訊號太過乾淨，則所有產品都能輕鬆過關；但訊號太差，所有產品全都表現不佳，測試便失去意義。為了讓測試結果具有鑑別度，實驗室將訊號精準鎖定在規範臨界點——如眼高(Eye Height, EH)15mV、垂直眼閉合(Vertical Eye Closure, VEC)12dB，以確保每一筆測試資料都具備高度的參考價值。

隱性挑戰：排除測試環境誤判

RX驗證的挑戰往往更為隱性。如果校準步驟不完整或精度不足，當誤碼率(Bit Error Rate, BER)出現異常時，工程團隊將陷入僵局：究竟是晶片設計本身

有問題，還是測試儀器給出的訊號不符合規範條件。這種不確定性常導致研發進度因反覆核對測試環境而停滯不前。

解決方案——高精度校準平台

為了確保測試條件的絕對準確並排除人為誤差，實驗室採用高精度訊號產生與分析能力的接收端測試平台，並結合自動化測試軟體執行RX訊號校準。不僅大幅縮短校正時間，也能確保校準條件的準確與一致性。

RX驗證不同規格：ISI Board 模擬運作通道壓力

在100G AUI C2C(晶片對晶片)、CR(銅纜)或KR(背板)架構中，訊號傳輸必須穿過複雜的PCB走線、背板或長距離銅纜。這種訊號傳輸的架構，導致與一般提到的RX驗證流程不一樣。

ISI Board：真實還原傳輸鏈路訊號損耗

在IEEE802.3ck的規範中提到為了在測試環境中模擬產品在長距離走線所造成的訊號衰減，必須引入碼際干擾板(Inter-symbol Interference Board, ISI板)。這塊板子的任務是提供精確且受控的插入損耗(Insertion Loss)，用以模擬訊號在訊號衰減嚴重的環境。若ISI板的設計與

材料不佳，RX測試就像在錯誤的跑道上賽車，資料將完全失去參考價值。

COM值分析：RX壓力測試入場券

在正式進行RX驗證前，工程師必須先萃取ISI板與完整鏈路的S參數(Scattering Parameters)，並匯入專業軟體計算通道工作裕度(Channel Operating Margin, COM)。根據規範，COM值必須大於3dB。唯有COM值達標，才能確認此ISI板符合規範，可用於後續的RX測試。這樣的流程，確保RX驗證是在合理的通道條件下進行，而非在過於理想或不符實際應用的情境中得到表面合格的結果。

解決方案——高頻VNA量測與標準化ISI通道環境


為了確保通道資料的絕對精準，實驗室採用整合了領先業界的量測資源。建置高頻寬67GHz向量網路分析儀(Vector Network Analyzer, VNA)，可精確擷取高達800G規格所需的S參數細節，並搭配符合800G乙太網路規範的ISI通道模擬板。這套組合能夠確保S參數資料的精確性，進而保證整個RX測試結果的準確性。

隨著Nvidia正式發表Vera Rubin平台與Spectrum-6 1.6T乙太網路交換機，AI



圖3 800G Ethernet RX(接收端) 驗證 S參數量測的環境

伺服器的互連頻寬已進入前所未有的深水區。在Blackwell基礎上，底層800G的訊號裕度更趨緊湊；穩定的800G測試驗證，正是通往1.6T的必經之路。

從400G到800G，甚至是緊接著到來的1.6T新紀元，驗證流程已不再只是單純的符合規範，更是量產前關鍵的風險控管。因為任何微小的訊號失真，都可能導致整體系統運作效率大幅下降；精準的實測資料、嚴苛的壓力校準與COM值分析，才是讓產品在AI浪潮中穩定運作的關鍵。 

(本文作者任職於宜特科技訊號測試工程處)