

壓痕/刮痕精準分析材料機械特性 微應力測試突破先進封裝瓶頸

安東帕公司、宜特科技

在半導體積體電路朝向尺寸微小化和功能極大化的發展方向上，先進封裝技術已成為提高晶片性能的重要途徑之一。然而，為了達到垂直整合的目的，多層薄膜堆疊結構已被大量地運用在製程當中。由於不同材料之間的機械特性無法相互搭配，以及製程中產生的熱機械應力，導致的各種失效模式亦接踵而來。為了克服這些瓶頸，對於材料機械特性的掌握變得至關重要，在微米及奈米尺度的世界中，奈米壓痕測試儀及奈米刮痕測試儀為兩個重要的分析工具。除了可用來分析材料的機械特性，以及多層結構中的附著能力，亦可作為區域化應力的工具，搭配後續影像分析技術，如掃描式電子顯微鏡(SEM)、雙束聚焦離子顯微鏡(DB-FIB)或穿透式電子顯微鏡(TEM)可更進一步地分析內部結構變化，找出造成故障的脆弱點位置。

奈米壓痕/刮痕測試儀原理

奈米壓痕測試法及刮痕測試法，為兩種廣泛用於研究材料微機械特性的技術(圖1)。利用此兩種方法，有助於了解材

料於微米及奈米尺度下，因為應力所產生變形或破壞的機制。與傳統測試方法(如維氏或洛氏硬度等)相比，奈米壓痕/刮痕測能夠提供更多特徵參數而非僅僅單一硬度值。

奈米壓痕測試儀，具有精密的應力和深度感測器，可精準控制壓頭進行載入與卸載過程，並同時記錄載荷及壓入深度，進而得到與壓痕深度相關的各項材料參數。如代表材料抵抗永久變形能力的壓痕硬度(Hardness, HIT)、用來描述材料彈性的彈性模量(Elastic Modulus, EIT)，以及材料於固定荷載下持續變形的行為蠕變特性(Creep, CIT)等。

而刮痕試驗儀，則用來測量薄膜與基材間或是薄膜本身的結合力。藉由逐漸線性地增加施加於鑽石刮頭上的力量，於材料表面上產生出剪切力。當薄膜與基材本身的機械性質不同時，在臨界負載(Critical Load, L_c)下會產生附著破壞。此臨界負載為一項良好的量化參數，可用來代表薄膜的附著能力。在同一刮痕過程中，擁有較大的臨界負載的材料具有較佳的附著能力，能夠更好地抵抗後續製程中的熱應力衝擊。

奈米壓痕/刮痕測試儀四大應用

利用奈米刮痕探討多層膜的脫層現象

爲了實現3DIC封裝技術，半導體元件的結構朝向高度多層化發展，也就是各種具有不同特性的薄膜材料堆疊在一起。然而，當多層結構在受到不同製程中帶來的熱及機械應力後，因薄膜/薄膜或是基材/薄膜間機械特性無法互相搭配。例如熱膨脹係數、楊氏模數或蒲松氏比等，而導致界面剝離(Interfacial Delamination)現象的發生不斷地出現於製程當中，爲目前常見導致元件失效的原因之一。

爲了改善此問題，掌握材料間的附著能力，以及了解結構在外部應力下的行爲變得至關重要。奈米刮痕測試儀是很理想的分析方式，除了可用來量化界面剝離作用力，亦可施加外部應力，模擬材料因外部應力而失效的過程。此外，於界面剝離發生後，結合掃描式電子顯微鏡、雙束聚焦離子顯微鏡或穿透式電子顯微鏡可更進一步地分析多層內部結構變化，找出結構中的脆弱處。

以Si/SiO₂(SiN)/TiN/W多層結構爲例^[1]，利用直徑爲2微米的鑽石刮頭，以2mN/s的正向力加載速度，分別於兩個不同多層結構樣品表面創造出刮痕(圖2)。由刮痕測試儀分析數據可知，樣品A及樣品B的臨界負載分別爲7mN及15mN。代表樣品B具有較佳的抗外應力能力。此外，結合穿透式電子顯微鏡及X射線能譜(EDS)的成份分布(Mapping)分析顯示，此兩種

結構發生界面剝離的位置位於SiO₂/TiN及SiN/TiN界面。

銅柱凸塊機械特性分析

爲了滿足終端產品輕薄短小的需求，晶片訊號處理輸入/輸出需求數量不斷增加，這意謂著晶片封裝中的引線節點數密

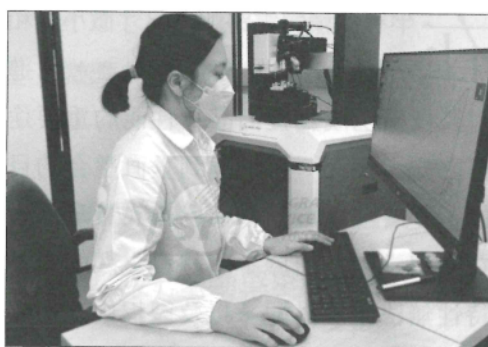


圖1 奈米壓痕測試儀/刮痕試驗儀實際操作

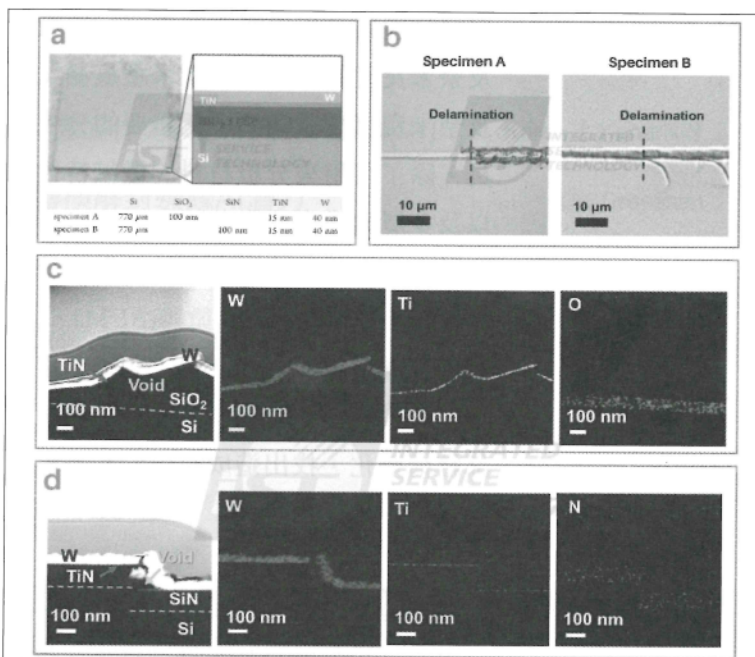


圖2 (a)多層結構示意圖及說明。(b)不同樣品界面刮痕剝離影像圖。(c)多層結構Si/SiO₂/TiN/W樣品A的TEM及EDS mapping分析結果。(d) Si/SiN/TiN/W樣品B的TEM及EDS mapping分析結果

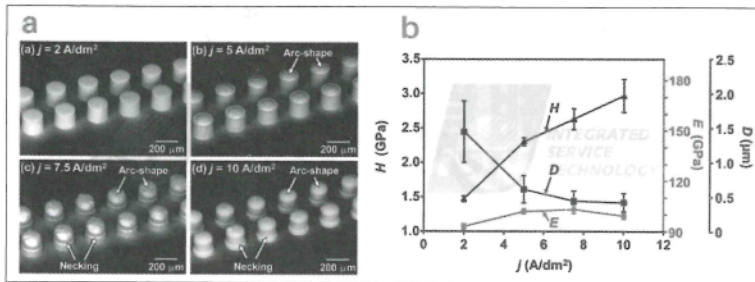


圖3 (a)不同電通量電鍍製程產生銅柱的SEM影像。(b)銅柱硬度、彈性模數與電鍍電通量關係圖

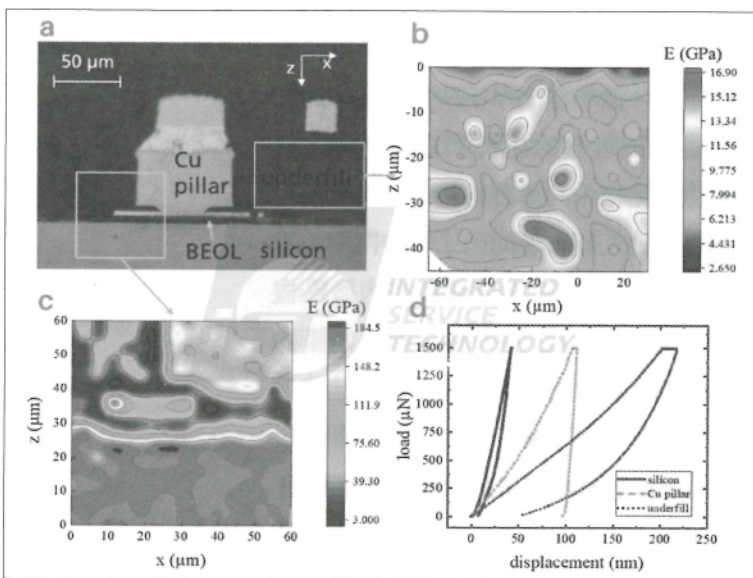


圖4 (a)奈米壓痕不同的實驗區域。(b)underfill區域的彈性模量分布圖。(c)銅柱凸塊界面區域的彈性模量分布圖。(d)奈米壓痕荷重-位移關係圖

度需要提高。而用於連結積體電路晶片與基板的凸塊(Bump)間距則需不斷縮小。銅材料因具備良好的低電阻、低電感、低熱阻，以及抗電子遷移能力等特性，銅柱凸塊(Cu Pillar Bump)成為實現小間距的優異選擇。

然而，當凸塊間距縮小至10微米左右時，許多的問題相繼出現^[2]。舉例而言，銅柱凸塊結構在經過迴焊製程(Reflow Process)，因熱應力而導致橋接失效

(Bridge Failure)現象為一待克服的議題。

為了解決這些問題，廠商如宜特材料分析實驗室建議，可使用搭載顯微鏡頭的奈米壓痕測試儀，於特定的銅柱位置進行壓痕實驗，已獲得不同區域的機械特性分析，進而優化製程參數。圖3為利用高速電鍍方式製備的銅柱凸塊^[3]，搭配不同的製程方式以及奈米壓痕實驗，可掌握電鍍製程中電通量對於銅柱機械特性的影響。由圖3(b)可知，銅柱的硬度與電鍍製程中施加的電通量呈現正相關。

底部填充材與凸塊機械特性搭配分析

於IC覆晶(Flip Chip)封裝製程中，會於凸塊間填入底部填充材料(Underfill)來強化晶片的機械穩定性及提高整體可靠性。Underfill主要為高分子材料，其楊氏模量及熱膨脹係數，與周圍的銅柱凸塊以及底下的矽基材^[4]存在顯著差異。由於機械特性無法互相搭配，晶片在後續高溫高濕可靠度的測試中，可能出現各種故障模式，例如裂紋產生、基板分離、空洞等。

由圖4(b)結果可知，楊氏模量的不均勻分布顯示Underfill中還存在其他填充物。圖4(c)則可以看到銅柱凸塊與晶片間界面的彈性模量分布。於特定位置進行壓痕測試分析，可得到矽晶圓、銅柱凸塊以及Underfill的楊氏模量。如圖4(d)顯示，其分別為 $169 \pm 3 \text{ GPa}$ 、 $119 \pm 6 \text{ GPa}$ 及 $9 \pm 3 \text{ GPa}$ ^[4]。由此結果可發現，由於模量的顯著差異，增加了此結構因後續製程產生的失效風險。因此搭配壓痕測試儀的結果，

可有效尋找較適化的製程參數，或透過更改不同特性的材料，來避免因機械特性不相符造成產品的故障。

鈍化保護層硬度/附著能力相關性分析

在晶圓級尺寸封裝(Wafer Level Package)結構中，為了在基板上製作出如電晶體的主動裝置，利用各種不同的沉積方法於底材上方堆疊出金屬層、包含線路重布的金屬線層(RDL)、用以連接電路的金屬墊(Pad)以及鈍化保護層(Passivation Layers)^[5]。鈍化保護層的主要作用，是保護底下結構不致受到外在環境的污染或損傷。不同的沉積方式或製程條件，對於鈍化保護層的機械特性及與底材的附著能力有顯著的影響。結合奈米壓痕測試儀及刮痕測試儀量測結果，不僅能夠找出薄膜機械特性及附著能力的關係，亦可加速製程優化及保護層材料的篩選，以加快後續的開發流程。

以氮化矽(SiN_x)薄膜為例，圖5(a)為利用兩種不同製程方式於矽晶圓表面沉積出厚度約為300奈米薄膜的載荷-壓深曲線。由結果可知，Layer 1的硬度高於Layer 2。而進一步地利用刮痕測試儀分析其附著能力時卻發現，Layer 1在較小的載荷下就觀察到界面剝離現象，相反地，於同一刮程下，Layer 2並未觀察到界面剝離現象，此結果表示Layer 2的附著能力大於Layer 1。

3D封裝仰賴精密材料分析

近年來，隨著封裝技術不斷的演進，傳

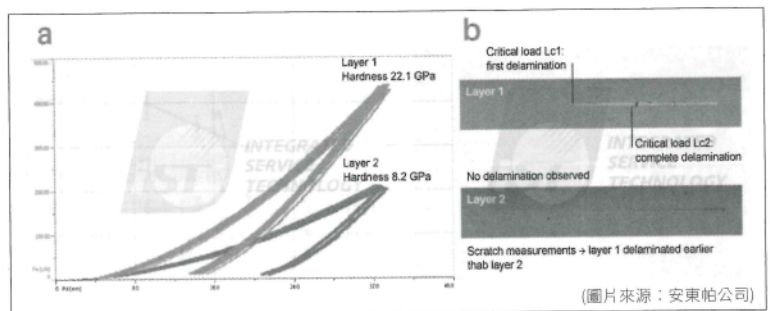


圖5 (a)利用兩種不同製程方式於矽晶圓表面沉積出厚度約為300奈米SiN_x薄膜的載荷-壓深曲線。(b)兩種SiN_x薄膜的刮痕測試影像圖

統單一的大面積素材已不符合3D複雜結構的應用。微小空間中不同尺寸晶片的結合、並列或堆疊的趨勢則日益明顯，但如此微小結構中的異質材料，在封裝後受到機械應力互相影響的因子也變得更加複雜。因此，除了必須具備精密的微區機械特性量測能力之外，結合影像判斷的SEM、DB-FIB及TEM電子顯微鏡也成為必要的分析工具。

(本文作者為安東帕公司、宜特科技)

參考資料

- [1] Jin-Hoom Kim, Hye-Jun Kil, Sangjun Lee, Jinwoo Park, and Jin-Woo Park. ACS Omega 2022, 7, 25219–25228.
- [2] <https://technews.tw/2022/07/29/ma-tek-package-design-hybrid-bonding/>
- [3] Pei-Tzu Lee, Chih-Hao Chang, Cheng-Yu Lee et al. Materials & Design 206 (2021) 109830 "High-speed electrodeposition for Cu pillar fabrication and Cu pillar adhesion to an Ajinomoto build-up film (ABF)"
- [4] Thesis with the title "Micromechanical indentation study of stress related effects in transistor channels" by Simon Schlipf
- [5] 中華民國專利，申請案號:102121292