



3D封裝中晶片堆疊的結構複雜，仍要克服散熱、翹曲等挑戰。面對不同的材料特性，IC設計階段透過可靠度與故障分析，試圖解決散熱及翹曲問題，3D封裝設備則有助於3DIC製造的穩定性。

# 可靠度分析/設備解方助攻 3D封裝技術挑戰過關斬將

吳心予

3D封裝隨著生成式人工智慧(AI)衍生的大量算力需求，備受市場矚目。3DIC整合處理器與記憶體，降低資料傳輸的延遲與功耗，也大幅提升晶片的運算效能。然而3D封裝中晶片堆疊的結構複雜，仍要克服散熱、翹曲等挑戰。面對不同的材料特性，IC設計階段透過可靠度分析，試圖解決散熱及翹曲問題，3D封裝設備則有助於3DIC製造的穩定性。

在3D封裝之前，2.5D封裝也受到市場高度關注。宜特科技故障分析工程處處長沈士雄博士(圖1)表示，2.5D封裝主要應用於行動裝置，可滿足手機對於產品輕、薄且功能多元的需求。

然而AI對於晶片的的需求不僅止於尺寸與功能，更需要足夠的算力。從過去幾年虛擬貨幣的挖礦熱潮開始，為晶圓代工廠的3DIC業務帶來新一波的成長，延伸到目前

## 「3DIC的材料大幅增加， 材料分析更為複雜。」



圖1 宜特科技故障分析工程處處長沈士雄博士

ChatGPT的發展。上述的市場變化，展現出現階段人類對於算力的需求，必須透過3DIC實現。

在先進製程的晶片中，封裝技術在晶片中整合一個系統，並且晶片尺寸輕、薄、短、小，因此必須採用3D封裝技術。3D封裝技術開始受到半導體廠商採用，才是半導體將蓬勃發展的重要轉折點，因為3D封裝有助於在晶片中整合最先進的半導體技術與晶片功能。例如HPC與車用電子的發展，就會帶動3D封裝的應用。

### 散熱/翹曲挑戰待克服

3D封裝有效提高晶片效能，但仍要克服散熱及翹曲等技術瓶頸。從材料的角度分析，材料的選擇與整合方式都會影響晶片的散熱能力。在晶圓堆疊時，如果兩片晶圓翹曲的方向不一致，就會難以執行。而Bonding方式多元，包含直通矽晶穿孔(Through-Silicon Via, TSV)、Hybrid Bonding等，IC設計人員需要採用訊號傳輸不會受到延遲或干擾的Bonding方式。

爲了確保3DIC設計的可靠度，就要執行

可靠度分析。可靠度分析透過相關的量測機台，進行故障分析與材料分析，例如觀察晶片樣品的翹曲狀況等。3D封裝的材料分析與傳統封裝的材料分析相比，差異在於3D封裝分析過程產生的溫度較高，以及應用的材料大幅增加。

3DIC在可靠度分析的過程中，即便實驗所用的電流功率較低，仍可能產生大量熱能。因此機台也需要提高對溫度的耐受度，並透過水冷系統等方式降溫。

另外，由於材料的影響因素隨著應用數量增加，實務上3DIC在設計階段，不會直接測試晶片的成品，而會採用分段測試的形式。例如完成一層材料的堆疊後，確認測試結果如預期，再將每一層的材料組合成3DIC的樣品，最後再進行IC樣品的測試。

### TSV品質影響晶片均勻性

Lam Research技術處長Chee Ping Lee(圖2)說明，先進封裝作為實現效能、功耗與成本需求的重要技術，TSV及鍍銅(Copper Plating)，增加了先進封裝的重要性。2.5D和3D封裝技術使用TSV在多個



## 「Hybrid Bonding將用於記憶體封裝。」

圖2 Lam Research技術處長CheePing Lee

晶片之間垂直堆疊，進而實現晶片內更高的連線密度、減少訊號延遲和提高功率效率。TSV的高寬比繼續增加，這對通孔蝕刻、鍍膜沉積和電填充過程產生技術和產能挑戰。

在TSV蝕刻方面，晶片製造商通常會在避免扇形(Scallop)和增加蝕刻速率(Etch Rate)之間取捨。TSV通常使用電鍍方法填充銅。這可能需要長時間的沉積和多步驟的處理，這可能會影響晶片的均勻性，因此必須經過穩定的、無空洞的填充過程。產品如Lam Research的SABRE 3D，即是用於銅柱的領先電鍍解決方案，採用驗證的技術，提供TSV所需的高品質薄膜。

### Hybrid Bonding將成封裝顯學

未來半導體供應商持續研發擴充晶片堆疊的技術，CheePing Lee提及，從單晶片到多晶片封裝，以及不同的連線方案。隨著晶片堆疊的尺寸縮小和複雜性不斷增加，盡可能管理IC製造與產量變得更加重要。

因此，製程設備面對上述的發展，需要

增加新的功能，以處理更厚、更重的堆疊晶圓。此外，隨著晶片持續縮小封裝尺寸，IC製造商採用3D封裝技術，不只在邏輯晶片採用Hybrid Bonding，也將此技術用於3D NAND、高頻寬記憶體(HBM)及3D DRAM。

沈士雄認為，AI應用將是未來市場的剛需，3D封裝也會隨之蓬勃發展。而行動通訊與HPC市場，在未來三到五年也會快速成長。在3D封裝即將快速發展的期間，需要持續面對散熱、訊號干擾挑戰與材料特性的研究，晶片封裝面對的機械應力問題也較過往複雜。

3D封裝面臨的訊號干擾問題也比傳統封裝嚴重，晶片之間的傳輸狀況。上述的技術挑戰，需要在設計階段，透過可靠度/故障分析確認並解決。

面對3D封裝的市場快速成長，半導體設備與認證實驗室廠商都提供相應的解決方案，期望解決3DIC在散熱、翹曲、TSV等方面的技術挑戰。可靠度分析有助於確認IC設計的可行性，3D封裝設備則透過電鍍單元技術，加快製造速度並確保TSV的穩定度。END