

堆疊式CIS故障分析

多管齊下解決CIS異常

CMOS影像感測器(CMOS Image Sensor, CIS)技術的發展，來自於人們對攝影鏡頭解析度/畫素需求增加。CIS產品能夠從早期數十萬像素，一路朝億級像素邁進，有賴於摩爾定律(Moore's Law)帶動半導體製程演進，使得訊號處理能力顯著提升。然而半導體製程的進步卻也使得這類CIS產品在研發階段若遇到異常(Defect)現象時，相關故障分析困難度大大提升。本文將說明找到這類型CIS晶片的異常點。

CIS三大晶片架構

目前市場上的CIS晶片架構，可概分為三大類，一是前照式(Front Side illumination, FSI)，二是背照式(Back Side illumination, BSI)，三是堆疊式CIS(Stacked CIS)。

前照式CIS

為使CIS晶片能符合半導體製程導入量產，最初期的CIS晶片為前照式CIS。其感光路徑係透過晶片表面進行收光，不過前照式CIS在效能上的最大致命傷

為感光路徑會因晶片的感光元件上方金屬層干擾，而造成光感應敏感度衰減。

背照式CIS

為使CIS晶片能有較佳的光感應敏感度，背照式CIS技術應運而生。此類型產品的感光路徑，由薄化至數微米後晶片背面進行收光，藉此大幅提升光感應能力。

而BSI CIS的前段製程與FSI CIS類似，主要差別在於後段製程。BSI CIS的製程是在FSI CIS製程後，會將該CIS晶片正面與背載晶片(Carrier Wafer)對接。對接後的晶片再針對CIS晶片背面進行晶背薄化(Backside Grinding)製程至數微米厚度以再增進收光效率，即完成BSI CIS。

堆疊式(Stacked) CIS

隨著智慧型手機等消費電子應用的蓬勃發展，人們對於拍攝影像的影像處理功能需求也大幅增加，使製作成本更親民與晶片效能更能有效提升，利用晶圓級堆疊技術，將較成熟製程製作的光感測元件(Sensor Chip)晶片，與由先進製

程製作、能提供更強大計算能力的特殊應用IC(Application Specific Integrated Circuit, ASIC)晶片、或是再進一步與記憶體(DRAM)晶片進行晶圓級堆疊後，便可製作出兼具高效能與成本效益的堆疊式CIS晶片(圖1)。

找出堆疊式CIS晶片異常點

由於這類型的CIS晶片結構相對複雜，在進行破壞性分析前，需透過電路專家電路分析或熱點(Hot Spot)故障分析，鎖定目標、縮小範圍在Stacked CIS晶片中的其一晶片後，針對可疑的失效點/失效層，進行該CIS樣品前處理，方可有效地呈現失效點的失效狀態，以進行進一步的預防修正措施。

接著，筆者將以宜特故障分析實驗室為例，說明如何利用電性熱點定位、移除非鎖定目標之晶粒(Die)，並針對鎖定目標晶粒逐層分析。並且進行電性量測分析、超音波顯微鏡(SAT)分析等四大分析手法交互應用，進行Stacked CIS晶片進行故障分析，順利找到異常點。

透過電性熱點定位找故障點

當CIS晶片具有高阻值(High Resistance)、短路(Short)、漏電(Leakage)或是功能失效(Function Failure)等電性失效時，可依據不同的電性失效模式，經由直流通電或上測試板通電，並透過選擇適合的電性故障分析(Electrical Failure Analysis, EFA)工具來進行電性定位分析。包括雷射光束電阻異常偵測(Optical Beam Induced

Resistance Change, OBIRCH)、熱輻射異常偵測顯微鏡(Thermal EMMI)(圖2)、碲化鎵微光顯微鏡(InGaAs)，藉由宜特故障點定位設備找出可能的失效熱點位置，以利後續的物性故障(Physical Failure Analysis, PFA)分析。

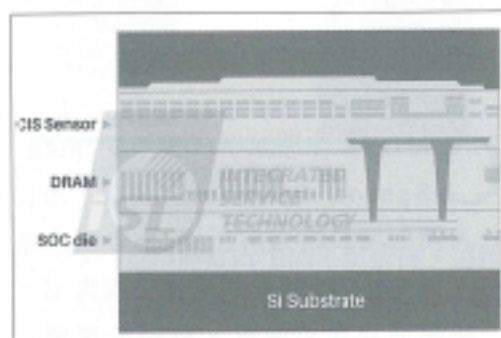


圖1 堆疊式CIS晶片示意圖

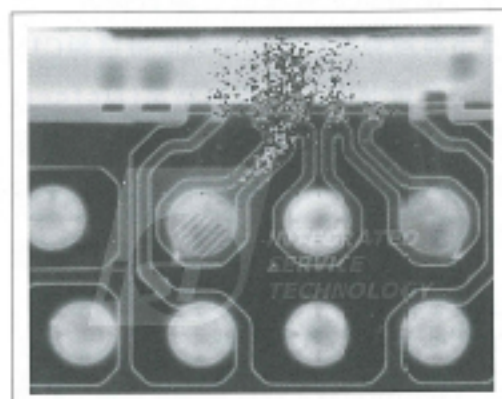


圖2 透過Thermal EMMI找到電性失效的故障點位置

表1 各設備適合使用的選擇時機

設備	偵測目標	失效模式
OBIRCH	電晶體/金屬層	漏電、短路、高阻值
Thermal EMMI	金屬層/封裝/印刷電路板	漏電、短路、高阻值
InGaAs	電晶體/金屬層	漏電、短路、開路

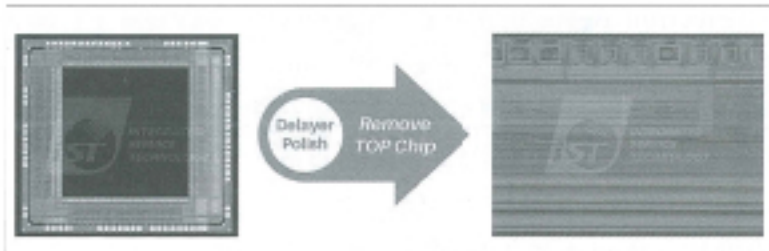


圖3 搭配宜特實驗室開發的特殊手法，將CIS待測樣品不需保留之晶粒部分，完整移除

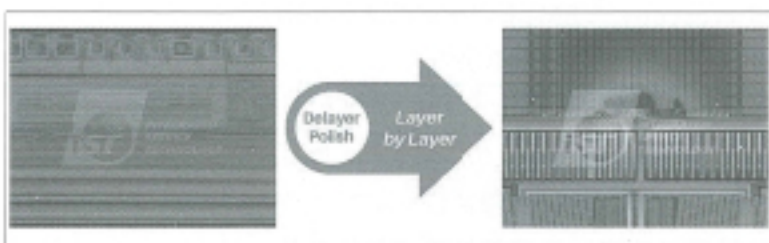


圖4 對照熱點分析範圍，進行鎖定目標晶粒進行逐層去除，發現燒毀現象

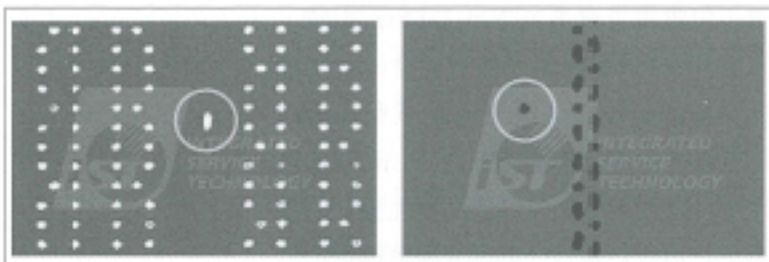


圖5 C-AFM異常分析結果圖。(左)外加正電壓(+1V)時的Current Map異常電性發生；(右)外加負電壓(-1V)時的Current Map異常電性發生(黃圈處)

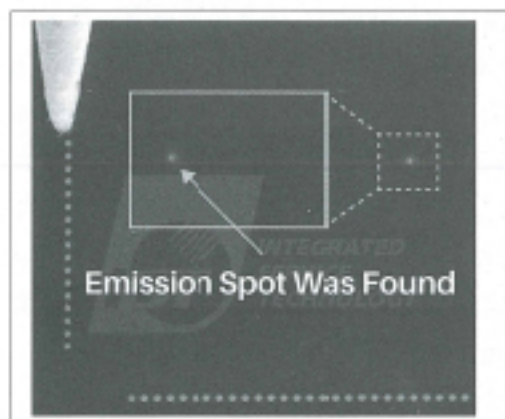


圖6 EBIC分析結果圖

各設備適合使用的選擇時機詳見表1。

針對鎖定目標晶粒逐層分析

接著，依照上述電性分析縮小可能的異常範圍至光感測元件晶片、ASIC或記憶體晶片區後，根據Stacked CIS晶片的結構特性，需先將其一側的矽基材移除，方可進行逐層去除(Layer by Layer)，或層層檢查。而宜特故障分析實驗室開發移除不需保留的晶粒部分的技術，進而保留並露出目標晶粒之最上層金屬層(圖3)。接著，透過逐層去除，在圖4的例子中，最終在金屬層第一層(Metal 1)找到燒毀現象的異常點。

電性量測分析

當逐層去除過程當中，除利用電子顯微鏡(SEM)於故障點區域進行VC(Voltage Contrast)的電性確認與金屬導線型態觀察外，亦可搭配導電原子力顯微鏡(Conductive Atomic Force Microscopy, C-AFM)快速掃描該異常區域，以獲得該區域電流分布圖(Current Map)(圖5)，並量測該接點對矽基板(Si Substrate)的電性表現，進而確認該區域是否有漏電/開路等電性異常問題。

在完成C-AFM分析後，若有相關疑似異常路徑需要進一步進行電性量測與定位，可使用奈米探針電性量測(Nano-Prober)進行更精準的異常點定位分析，包括電子束感應電流(Electron Beam Induced Current, EBIC)、電子束吸收電流(Electron Beam Absorbed Current, EBAC)、與電子束感應阻抗偵



圖7 TEM分析結果圖

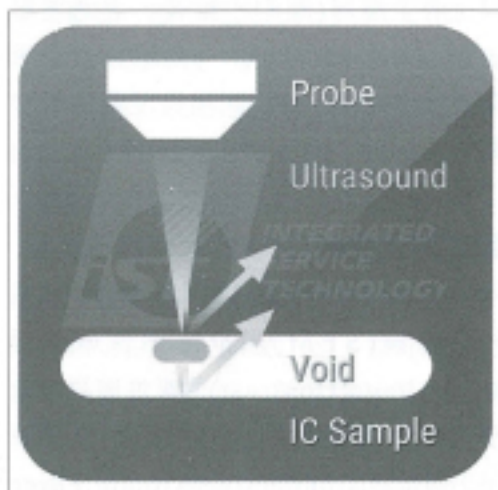


圖8 SAT原理圖

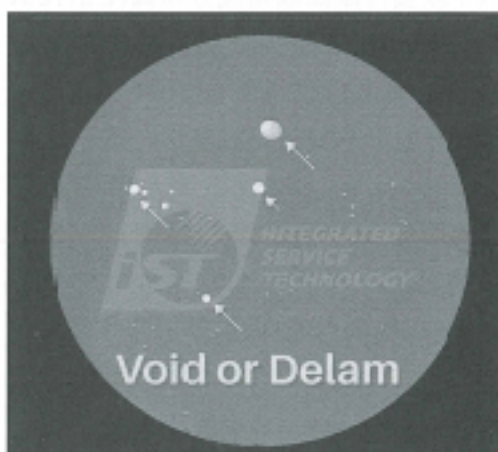


圖9 透過超音波顯微鏡，找到晶圓與晶圓對接之縫合空隙位置

測(Electron Beam Induced Resistance Change, EBIRCH)等定位法。而Nano-Prober亦可針對電晶體進行電性量測，如 V_t 、 I_{dVg} 、 I_{dVd} 等基本參數獲取(圖6)。透過上述分析手法精準找到異常點後，亦可再透過雙束聚焦離子束(Dual-beam FIB, DB-FIB)或是穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)來對異常點進行結構確認，以釐清失效原因(圖7)。

超音波顯微鏡分析

超音波顯微鏡藉由超音波於不同密度材料反射速率，及回傳能量不同的特性來進行分析。當超音波遇到不同材料的接合介面時，訊號會部分反射及部分穿透，但當超音波遇到空氣(空隙)介面時，訊號則會100%反射，機台就會接收這些訊號組成影像(圖8)。在背照式與堆疊式CIS製程中晶圓與晶圓對接(Bonding)製程中，SAT可作為偵測晶圓與晶圓之間接合不良造成存在空隙的重要利器(圖9)。

隨著半導體堆疊技術的蓬勃發展，與人們對影像感測器在消費性電子、車用電子、安控系統等應用的功能需求大幅度增加，堆疊式CIS產品將逐漸成為未來CIS產品主流，除了前照式與背照式CIS的故障分析手法已建置完成外，廠商如宜特科技故障分析實驗室也能夠根據客戶所需，針對晶圓級對接的製程穩定度分析，或是堆疊式CIS故障分析，都可以透過實驗室的分析手法與一站式整合服務，協助精準地分析、加速產品開發、改善產品品質。●

(本文由宜特科技提供)