

雲端功耗/終端電壓/異質整合挑戰紛起 AI晶片力克可靠度設計難關

● 涂賀仲

COVID-19在2020年上半年占據了全世界的版面，在疫情被各國控制下，2020年下半年，可以感受到各項防疫措施都逐步放寬。然而在COVID-19疫苗開發出來之前，仍然必須戒慎恐懼。談到防疫與藥物開發，近來AI技術在COVID-19上的「熱影像辨識防疫」、「病毒基因變異與疫情數據分析」及「候選藥物篩選」扮演重要角色，提供快速數據分析能力。

AI技術是透過模擬人腦的類神經網路，經過深度學習，取得物件特徵參數，產生模擬人腦的判斷能力。這看似很艱深的AI技術，其實早已進入大眾的日常生活，包括手機語音輸入辨識能力，幾乎達真人辨識水準即是一例。

除了演算法與大數據的演進與支援之外，硬體方面，AI晶片依不同的應用領域，不斷往高效能、高頻寬或低耗電等特性演進(表1)，因此晶片硬體效能不斷提升，更是支持AI應用領域不斷進步的必要因素。

AI運用在COVID-19防疫上，其晶片的可靠度與效能是重要關鍵。由於AI雲端運算晶片具有高功耗特點，AI終端運

算晶片則有低電壓的特色。然而這些特性不僅會影響AI晶片的效能與壽命，甚至連AI晶片可靠度試驗設計手法、設備等，也面臨極大挑戰。一般而言，有以下三大挑戰。

雲端AI晶片面迎熱消散/平衡之高功耗挑戰

資料中心的雲端AI晶片，肩負人工智慧的深度學習任務，必須提高效能運算，也因此將耗費大量電能，其單一顆晶片耗電量甚至超過200W(瓦)，伴隨產生的高熱，將使得晶片老化速度加劇。

因此，一年必須連續工作365天的雲端運算AI晶片，對老化產生的可靠度問題更需審慎評估。

可靠度測試原理必須抽樣(Sampling)一定數量的IC進行實驗來預估母體的生命週期與故障機率。通常抽樣的數量為77顆，當77顆百瓦的晶片一起在一台可靠度系統設備執行1,000小時的可靠度測試時，上萬瓦的功率熱能將會嚴格考驗可靠度測試系統的熱消散與熱平衡能力。

表1 AI晶片應用種類

項目	特性	應用	晶片類型	代表廠商
雲端AI晶片	長時間運算 高效高頻寬 高消耗功率	雲端資料中心 超級電腦	CPU GPU HPC	Nvidia、Intel、AMD、寒武紀、Google
邊緣AI晶片	即時性傳送	Local系統中心	FPGA ASIC	Xilinx、Fujitsu、百度
終端專用AI晶片	低延遲傳輸 低消耗功率	智慧助理 ADAS 無人機 IoT	ASIC SoC	Google、Apple、Qualcomm、Samsung、ARM、MTK、海思

唯有精準的熱消散與熱平衡能力，才能讓每一顆晶片在執行各種不同運算模式時，使晶片都能維持穩定的介面溫度(Junction Temperature, T_j)，如此才能夠準確預估IC的生命週期。因此，如何消散與控制高效能雲端AI晶片所產生的熱能，將是IC可靠度實驗設計面臨的挑戰。

多系統電源需求考驗終端AI晶片低電壓設計

終端AI晶片因其應用環境的特殊性，除了運算效能外，還被要求低耗電，例如行動裝置、IoT、無人機、電動車自動駕駛輔助等，皆需仰賴電池供電。

雖然半導體製程不斷進步，相同邏輯閘數下的動態電流越來越省電，但是尺寸微縮的物理特性效應下，電晶體靜態漏電流反而增加，摩爾定律每兩年電晶體面積縮

減一半的好處，並無法讓晶片的功耗密度減半，相同面積的晶片將會消耗比以往更大的電流。

故為了降低功耗，除了低工作電壓設計外，多工作電壓與多閘極電壓的設計普遍可見。然而，對於可靠度測試系統而言，動輒10組以上的系統電源需求，將挑戰可靠度設備電源數目的極限。

同時1V或甚至低於1V的主電源(Core Power)低工作電壓，將使得IC餘裕度(Power Margin)越來越小，電路板上的電壓降(Power IR Drop)或者漣波(Power Ripple)，將容易造成IC可靠度測試出錯，因此規畫一個終端AI晶片的HTOL可靠度測試環境，從設備選擇、PCB電路板模擬與製作，以及各種細節與設計上的考量，必須大幅嚴謹於一般邏輯IC。

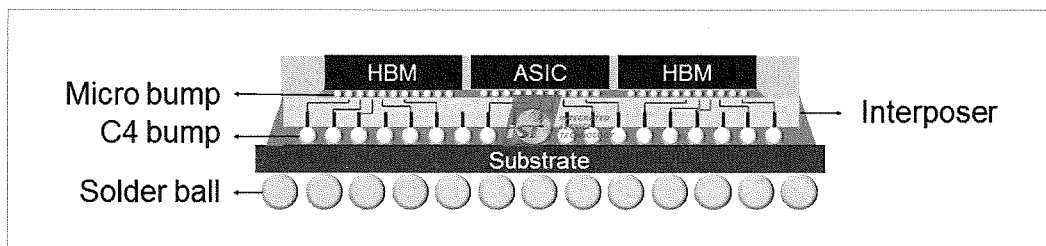


圖1 異質整合晶片

異質整合挑戰：熱消散路徑複雜化

異質整合 (Heterogeneous Integration) 是 AI 晶片一項重要的趨勢，為了加快不同晶片間的傳輸頻寬，不同製程的晶片會被整合在一個封裝內，常見如 HBM/Sensor/MEMS/Antenna 等，經由 TSV/RDL/Bump/Interposer 等製程手法，讓各個晶片並排或堆疊起來(圖1)，這將大幅提升異質晶片間的資料傳遞效率，並使耗電量更低。

但是，越複雜的堆疊架構，將使熱產生與熱消散路徑複雜化，例如較大功耗晶片

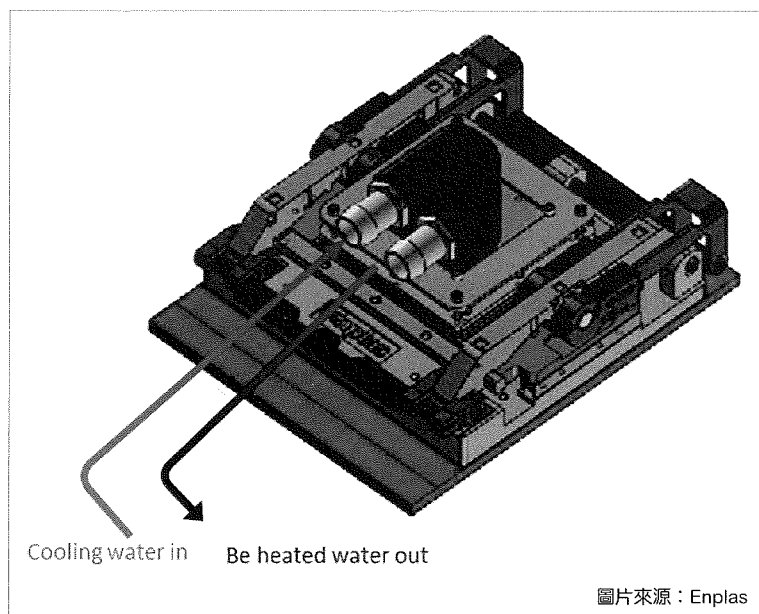
不一定位在封裝中心位置，各個晶片厚度可能不盡相同，將使得晶片產生的熱消散與熱感測方式不同於傳統封裝，因此如何在可靠度測試時正確量測與監控晶片溫度變得更加複雜。

綜上所述，如何面對熱消散與熱平衡能力、測試系統的電壓極限、以及異質整合的熱消散路徑複雜化，是在執行可靠度設計驗證時，必須克服的挑戰。對此，本文提出以下建議。

液態冷卻系統穩定控制高功耗AI晶片產生熱能

散熱設計功率 (Thermal Design Power, TDP) 是 CPU 晶片對主機板「散熱能力」的要求規格，目前桌上型電腦 CPU 的 TDP 規格最高在 150 瓦左右；而電競玩家為了維持 CPU 長時間高效高頻工作，往往會升級主機板、散熱片、風扇等等配件，使得升級後的系統散熱能力高於 TDP 要求，讓 CPU 能長時間高頻工作，而不會發生過熱降頻甚至休眠等問題。

但是伺服器及 HPC 等雲端 AI 晶片，當前 TDP 規格已達 200W 以上超高發熱功耗。而晶片因封裝結構與材料等因素，已難以使用空氣對流當散熱媒介，將晶片 Junction 溫度控制在目標值。



圖片來源：Enplas

圖2 液態冷卻系統

尤其可靠度測試要求的目標溫度在125°C，遠高於桌上型電腦的70°C，通常125°C時晶片功耗牆已處於解鎖狀態，故一不小心極可能造成晶片高溫燒毀。因此，當如此高功耗的IC進行高溫可靠度測試時，測試系統必須提供更快速的熱消散能力。

該可靠度驗證實驗室的解法是，利用更高效的液態冷卻控制調節系統(Liquid Cooling System)，搭配客製化液態循環測試座(Socket)(圖2)，此系統利用液態熱交換速率優於氣態的特性，以及即時監控晶片溫度與調節液態流速等方法，穩定控制超高功耗AI晶片產生的熱能，成功收集可靠度實驗數據。

測試電路板電源層超前模擬 免去生產組裝後效能不符

AI晶片採用先進製程，超低的工作電壓已來到1V以下。然而，當高電流經過電路板走線時，容易在電路板上產生由低到高的壓降(DC IR Drop)(圖3)，IR Drop將壓低原本已超低的工作電壓，容易使得AI晶片因電源電壓餘裕度(Power Voltage Margin)不足而失效。

此外，當IC Power抽載大電流時，也會產生各種頻率的Simultaneous Switching Noise(SSN)。

而電路板的電源層阻抗(Power Plane Impedance)，在各種不同抽載頻率下，因本身布線(Layout)因素可能反映出高低不一的阻抗值(圖4)，當阻抗值在某個頻率下超越目標值時，就會造成嚴重雜訊(Power AC Noise)與漣波，也會使得AI晶片因電源雜訊餘裕度(Power Noise Margin)不足而失效。

該如何解決以上的問題？以該可靠度實驗室為例，目前有許多布線輔助設計工具，可以在可靠度電路板設計初期，經由軟體分析模擬，調整電源走線長短寬窄、灌孔點大小與數目、解耦合(Decoupling)電容值與放置位置等，改善IR Drop與Power Plane

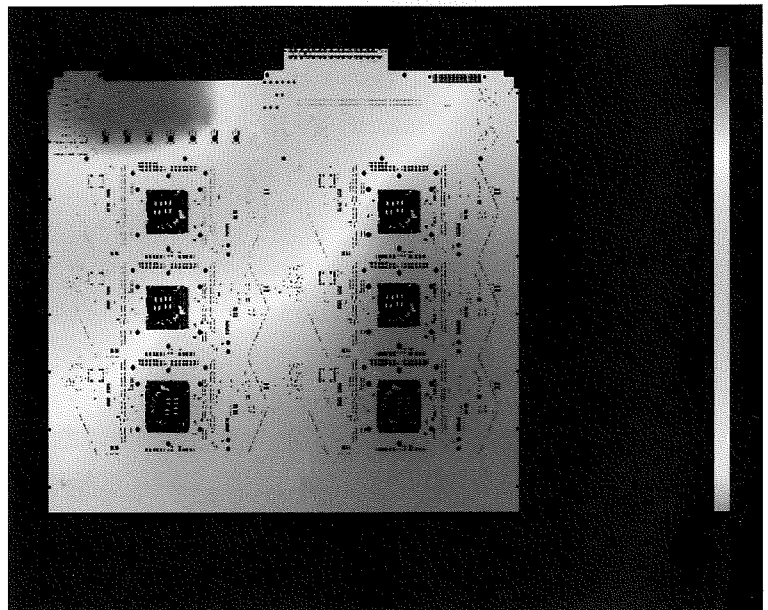


圖3 IR Drop模擬

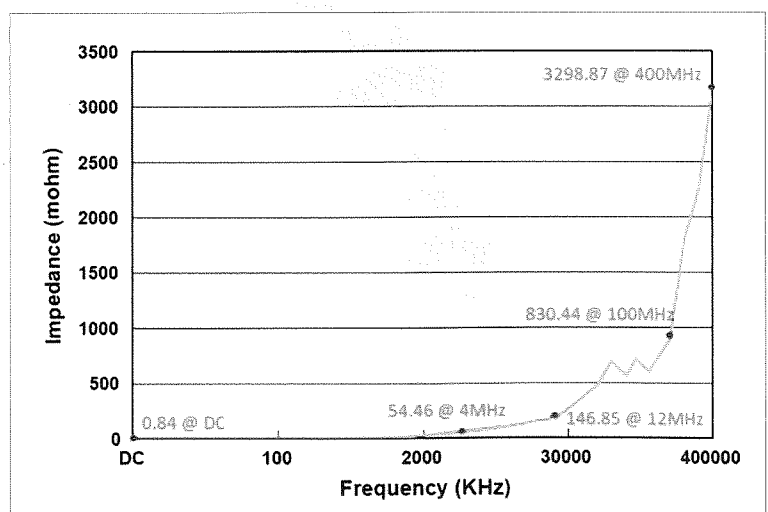


圖4 電源層阻抗模擬

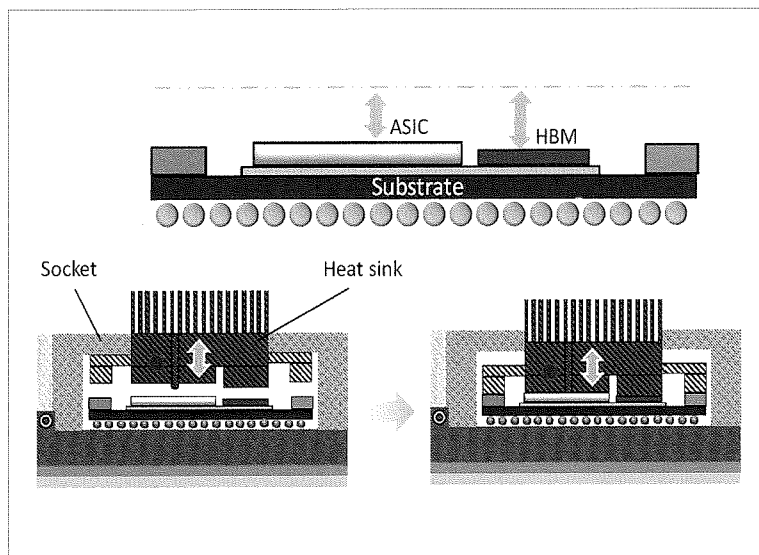


圖5 客製化IC測試Socket

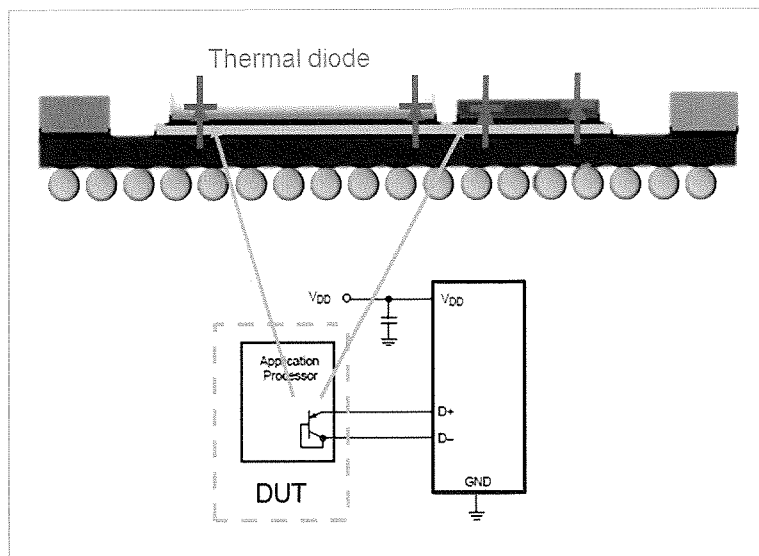


圖6 IC Thermal Diode監控電路例子

Impedance等問題，避免掉測試電路板生產組裝完成後，才面臨效能不符的問題。

客製化治具貼合高低不同裸晶

AI異質整合晶片，裡頭的裸晶(Die)高低不同，因此，在可靠度驗證測試的

治具準備，必須依照不同的晶片，客製化IC Socket和散熱系統(Heat Sink)和熱感測元件(Sensor)，才能夠緊密貼合高低不同的裸晶，藉此增加熱消散能力，溫度量測與監控才能更準確(圖5)。

熱二極體電路監控IC本體溫度

雲端AI晶片的超高功耗，在進行可靠度測試時，容易因晶片本體溫度波動太快導致無法及時消散熱能，造成產品非預期性故障，例如熱失控(Thermal Runaway)，因此，當IC內建熱二極體(Thermal Diode)元件時，可靠度系統與可靠度測試板設計，便可以客製化Thermal Diode監控電路，來監控IC內部溫度，將可監測到最即時與準確的Junction溫度(圖6)。

此作法反應速度快，搭配前面提到的高效液態冷卻控制調節系統，更適合超高功耗AI晶片快速溫度變化，藉以提供即時熱消散動作。此外Thermal Diode監控電路，可針對3D封裝的多晶體(Multi-chip)結構下，獨立量測出各個晶片的溫度，以達到更精確的可靠度數據收集。

像宜特可靠度驗證實驗室從早期面對一般消費型晶片、車用晶片、5G晶片，到至今的AI晶片，有相當多的實戰經驗，來解決可靠度試驗設計時，面臨AI超高功率、超低電壓，以及異質整合等問題，可以提供讀者精確的溫度電壓等可靠度測試數據，提升AI晶片的可靠度。

(本文作者為宜特科技可靠度工程處資深經理)