

克服SMT黏著問題

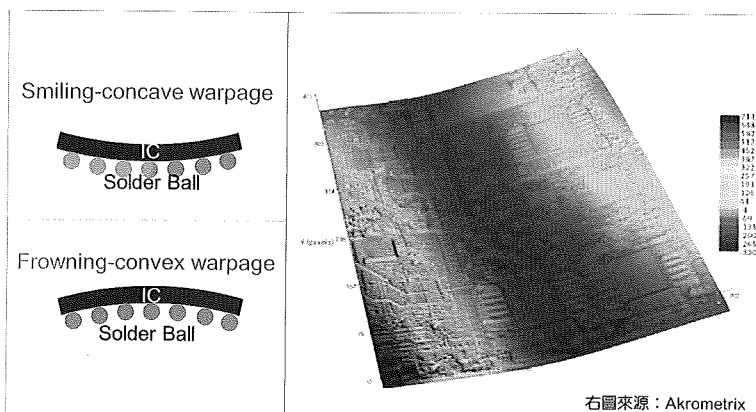
先進封裝晶片翹曲挑戰有解

因應物聯網(IoT)、人工智慧(AI)、自動駕駛的應用需求，快速傳輸以及處理大量數據的技術已是現在發展的趨勢，當高效能運算(High Performance Computing, HPC)成為製程技術研發的重點，在設計以及封裝複雜度只增不減的狀況下，先進封裝技術將成為輔助摩爾定律延壽的最大助力。包括晶圓代工廠(Fabs)的台積電的InFO/CoWoS；IDM廠英特爾(Intel)的EMIB；封裝測試廠(OSATs)日月光的FoCoS、矽品的SLIT、艾克爾SWIFT/SLIM都是當今非常火紅的技術。

先進封裝最大挑戰來自於異質整合晶片內含多種材質，堆疊複雜容易導致翹曲(Warpage)。此外隨著線寬/線距的縮小，翹曲的程度易導致表面黏著技術(SMT)過程異常，甚至影響後續板階可靠度(Board Level Reliability)結果(圖1)。除了晶片元件本身會發生翹曲外，晶片透過表面黏著技術結合到電路板時，因晶片與電路板CTE不同，翹曲的狀況就會加劇。而當翹曲超過一定的幅度，就會造成SMT的焊接品質不良，也影響後續的可靠度測試結果。如何妥善安排這些溫度特性不同的材料依序堆疊，在加熱與散熱時不會互相影響，是相當嚴苛的技術挑戰。

由於IC黏著在模擬PCB上的品質好壞，將直接影響到產品壽命判斷精準度，因此表面黏著製程在其中扮演重要角色。而品質好壞的關鍵因素包括錫膏特性、印刷條件設定(如脫模間距、脫模時間、印刷速度)、置件精準度、鋼板選擇。

以宜特科技可靠度驗證實驗室為例，近年來接到非常多客戶在試驗設計



右圖來源：Akrometrix

圖1 先進製程晶片元件或多或少都會有翹曲現象，若變形量符合IPC規範控制在一定程度內，都不會影響後續元件上板品質

(Design of Experiment, DOE)等研發階段有SMT需求，希望可以在產品量產前，進行一些材料選擇、製程參數調整等少量多樣的需求。然而半導體產業工程師一定遇過自家SMT產線量產產能都已被預約額滿，根本無法支援DOE試驗設計等研發階段少量多樣的研發品。而IC設計工程師也遇過大型封裝廠無法進行研發品少量多樣協助的狀況。因此該可靠度驗證實驗室便提供少量多樣SMT服務，除了可以量身訂作測試樣品進行品質與可靠度驗證外，同時協助執行各式工程DOE及尋找最佳組合參數，協助克服在研發階段所遇到的SMT黏著問題。以下為實驗室常接到的SMT案例。

基板手動除球暨兩類植球應用

錫球成分是決定產品品質好壞的重要因素之一，若等到產品量產才發現錫球有問題，可能為時已晚。因此可靠度驗證實驗室遇到許多客戶在產品設計階段初期，嘗試不同錫球成分與封裝的匹配來選擇最佳的錫球材料，植球主要分為兩種應用。

1. 錫球焊錫可靠度驗證

使用特殊設計的治工具，將所需驗證的錫球植在基板(Substrate)上。

2. 錫球支撐性驗證

因零件尺寸隨著封裝技術日益變大，大尺寸零件容易因翹曲及零件本體重量造成焊接異常如短路。而實驗室的技術可將銅核球結構的錫球植上基板以增加支撐性，避免焊接短路問題發生。錫球種類包括各類錫銀銅合金錫球、不同核心錫球(如銅核

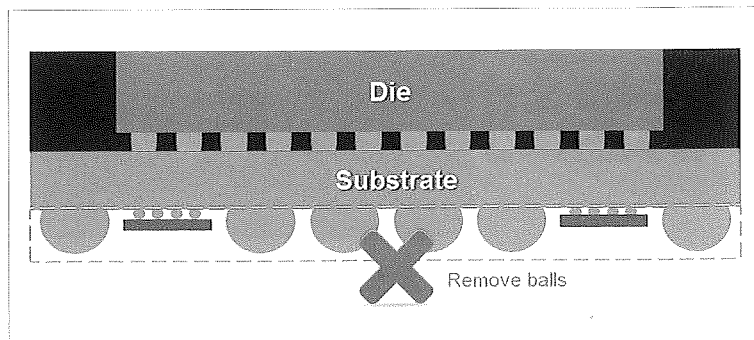


圖2 除錫球製程

球)等，根據錫球植上基板的DOE結果，導入合適錫球，將可提高產品驗證成功率。

除球作業上，因應封裝樣式的多樣性，除了植錫球外，實驗室也遇過需進行除球作業的案例，例如樣品晶背(Backside)有矽(Silicon)時，就須要進行樣品前處理，將錫球去除，以利後續的翹曲量測模擬(Shadow Moiré)能夠順利執行(圖2)。

量測篩選先行克服翹曲問題

5~10年前，翹曲幅度只要控制在6~8mil以內，都不至於影響後續SMT等製程(圖3)。然而近年來，異質整合材料堆疊複雜，容易導致翹曲失控，各項先進製程的材料種類複雜且反覆堆疊，受到溫度影響後的變形量已比5~10年前的樣品來得嚴重。該可靠度實驗室發現，隨著未來接腳數(Pin Count)越來越多，晶片上板時，為使錫膏與錫球可以接合順利所使用的治具鋼板(Stencil)，厚度就會越來越薄，若繼續維持在6~8mil的翹曲幅度，便難以像早期維持SMT製程品質(圖4)。

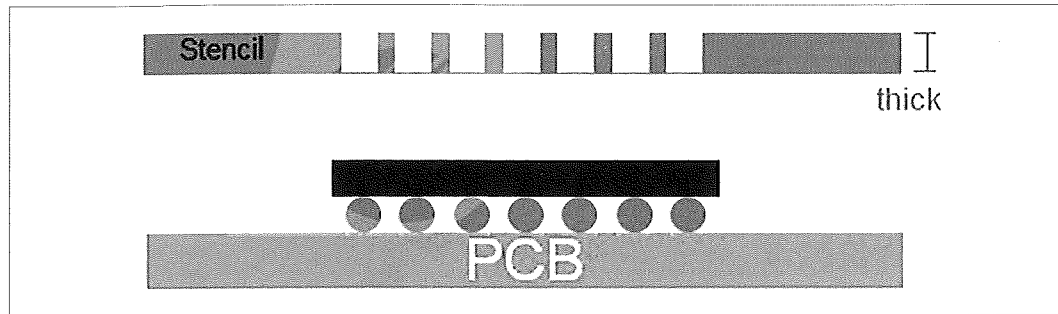


圖3 傳統PCB，鋼板因接腳數較少，錫球用的不多，相對鋼板不需要太薄

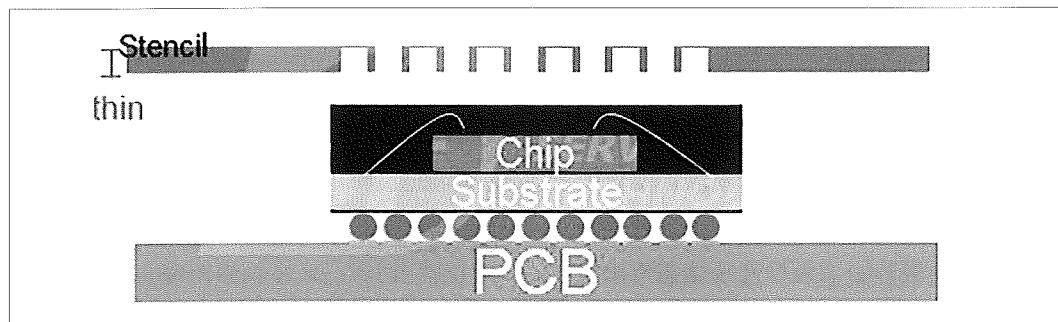
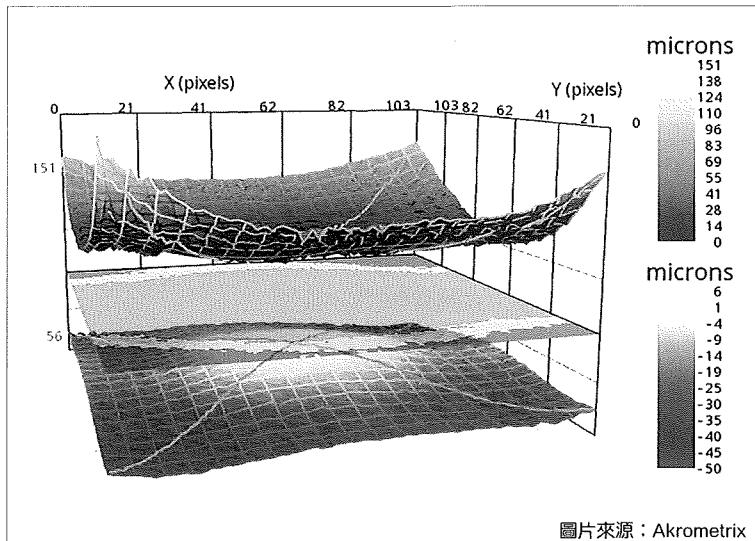


圖4 隨著先進製程的元件接腳數變多，錫球需要較多，鋼板就需要較薄

許多提出IC設計、晶圓代工及封裝測試廠需求的客戶，希望可以先模擬確認翹曲數據，調整錫膏印刷鋼板設計及回流焊

溫度，藉此減少因翹曲造成空焊及短路問題的機率。依據此方式，宜特已為多家廠商克服PCB或IC翹曲的焊接問題(圖5)。量測分析的速度非常快，約半小時就可得知元件在不同溫度的變形量，也能模擬溫度循環的環境，協助客戶與可靠度測試進行搭配，觀察產品在哪個溫度達到最大的變形量，並能在測試中思考如何改善與預防。

回顧翹曲量測的原理，是應用樣品上的參考光柵和它的影子之間的幾何干擾產生摩爾雲紋分布圖，進而計算出各圖元位置中的相對垂直位移，並可應用於模擬SMT回流焊溫度和操作環境條件，同時捕捉一個完整的歷史翹曲位移表現(圖6)。在板階可靠度實驗室觀察中，翹曲的問題勢必會持續存在，人們無法控制材料的特性，但



圖片來源：Akrometrix

圖5 SMT上板前可針對元件與PCB進行模擬分析，預先了解翹曲情形

如果透過篩選的方式，找出翹曲方向相同的零件與PCB，筆者認為這不僅不會降低可靠度的壽命，也能協助客戶找到完美翹曲比例，達到1+1>2的價值。

上板治具對位製作

針對Package on Package(POP)類型的案例，為上下兩層PCB、中間印錫膏放置電極零件(圖7)；然而此方式容易導致電極材料黏著時在上下兩層PCB時，出現不平整或板彎的狀況。因此必須靠治具對位來解決。治具的製作，最難的地方在於必須考量錫膏厚度及開孔來符合焊接條件，且上下兩層必須精準對位。對此，實驗室進行治具的製作、上板以及後續還可串接故障分析實驗室，透過X-ray確認焊接品質。

驗證階段同時模擬可靠度 免於費時修改

先進封裝時代來臨，異質整合成為趨勢，因此，進行IC設計時最怕IC晶片本身品質沒問題，但是當IC上板SMT後，卻過不了後續的驗證。而近期最常見的是

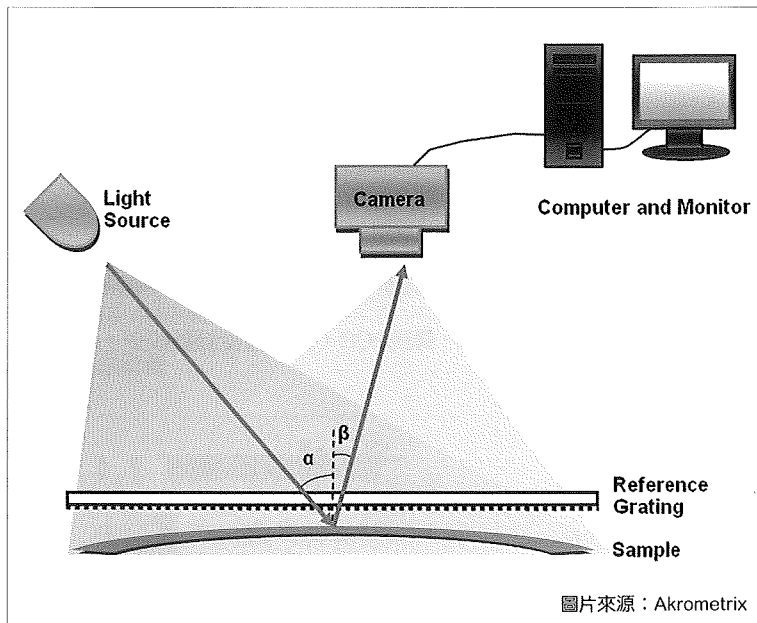


圖6 翹曲量測原理解析

上板後的翹曲問題，導致後續可靠度發現早夭，嚴重甚至須將產品退回到最初的IC設計階段，於耗費大量時間修正的同時，也可能趕不上預訂的交件日期。因此在驗設計階段，即可針對產品進行可靠度模擬，了解是否需調整製程參數、調整材料，將可事半功倍，有效率地讓產品快速上市。

(本文由宜特科技提供)

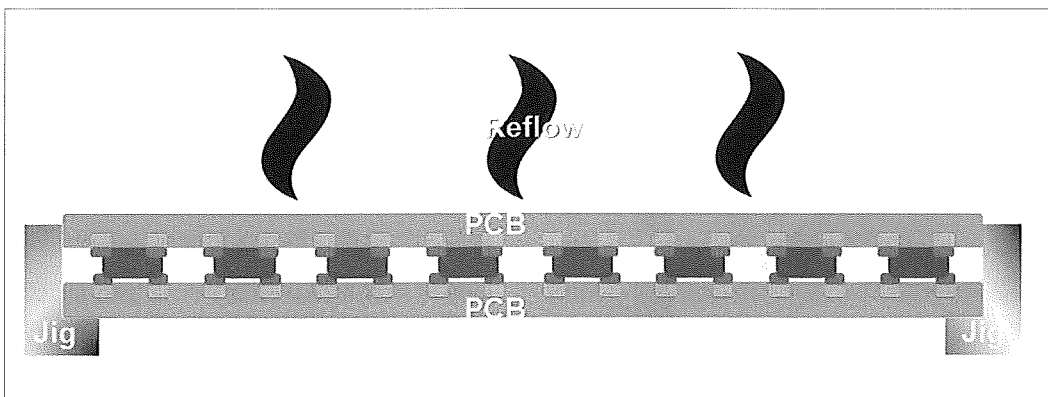


圖7 可靠度實驗室可以協助客製化治具，進行治具對位