

NetEditorLite 用户手册

前言

NetEditorLite 系统是网表提取软件。它基于芯片背景图像，采取自动和人机交互的方式，提取忠实于原芯片图像的电路网表，最后输出 Verilog、Edif200 格式的网表数据，并可以导入到 Synopsys、Cadence 等 EDA 软件中进行正向再设计。

宜硕科技（上海）有限公司

技术支持：support@isti.com.cn

公司主页：www.isti.com.cn

目 录

目 录	2
第一章 操作系统及硬件配置要求	4
1.1 操作系统配置要求	4
1.2 硬件配置要求	4
第二章 系统安装步骤	5
2.1 安装文件说明	5
2.2 网表程序安装及新建工程	5
第三章 软件介绍	9
3.1 菜单栏	10
3.1.1 文件菜单	11
3.1.2 编辑菜单	11
3.1.3 查看菜单	12
3.1.4 工具菜单	12
3.1.5 选项菜单	13
3.1.6 窗口菜单	13
3.1.7 帮助菜单	13
3.2 工具栏	14
3.3 状态栏	15
3.4 多层图像浏览栏	15
3.5 主视图	16
3.6 单元列表	17
3.7 输出窗口栏	19
3.8 雷达定位栏	19
第四章 网表提取流程	20
4.1 主宏单元建立	20
4.2 功能模块划分	21
4.3 每个功能模块内部网表提取	23
4.4 指定引线的检查	25
4.5 电学规则检查(ERC)	25
4.6 网表数据对比 (SVS)	25
4.7 网表导出	26
第五章 电学规则检查	27

第六章 网表数据导出	28
第七章 原理图数据导出版图数据	29
7.1 导出版图数据CIF文件	29
7.2 数据导入到LayoutEditor	30
7.3 导出的CIF数据导入到Cadence	30
第八章 关于设置选项	31
8.1 颜色设置	31
8.2 选项设置	33
常见问题	35
附件：快捷键一栏表	37

第一章 操作系统及硬件配置要求

1.1 操作系统配置要求

NetEditorLite 可在以下操作系统下稳定运行：

- (1) Windows 2000
- (2) Windows 2003
- (3) Windows XP

推荐配置如下：

服务器：Windows Server 2003

客户端：Windows XP Professional

1.2 硬件配置要求

- (1) Pentium IV 1.6G 或以上 CPU
- (2) 256M 或以上内存
- (3) 40G 或以上硬盘
- (4) 1024×768 屏幕分辨率或更大

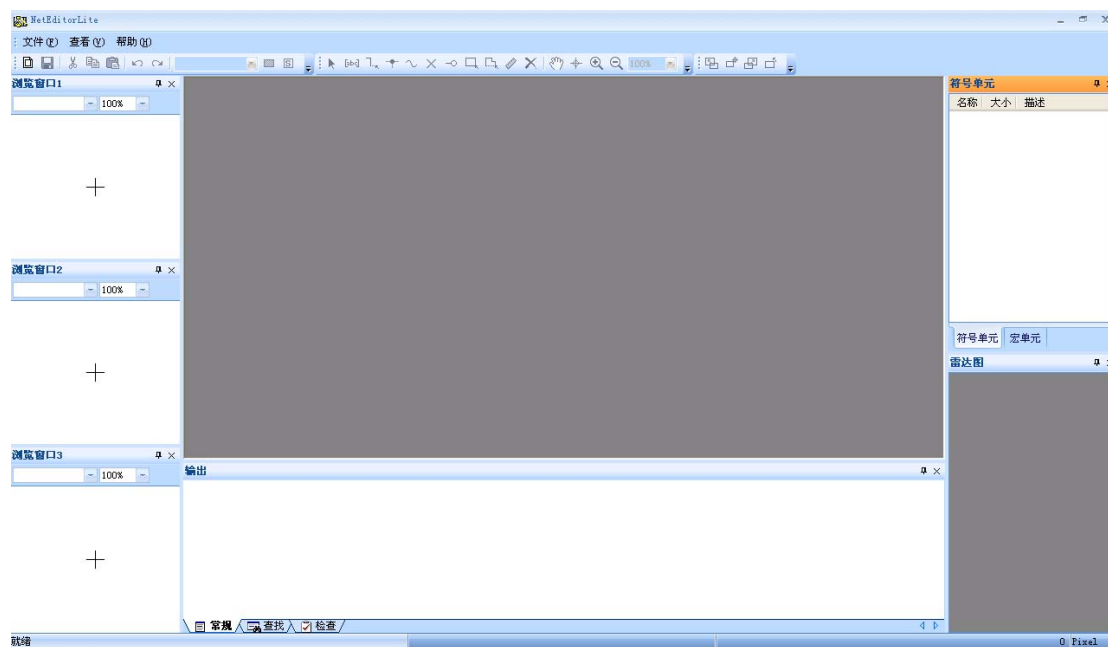
第二章 系统安装步骤

2.1 安装文件说明

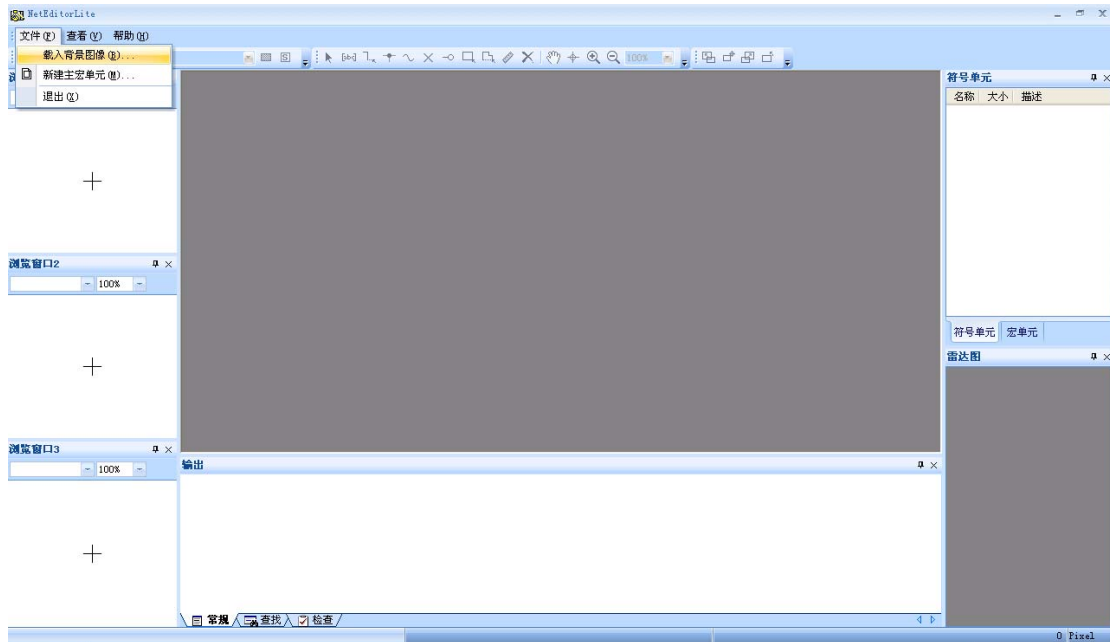
NetEditorLiteSetup.msi：网表程序安装包，安装后对应NetEditorLiteSetup软件

2.2 网表程序安装及新建工程

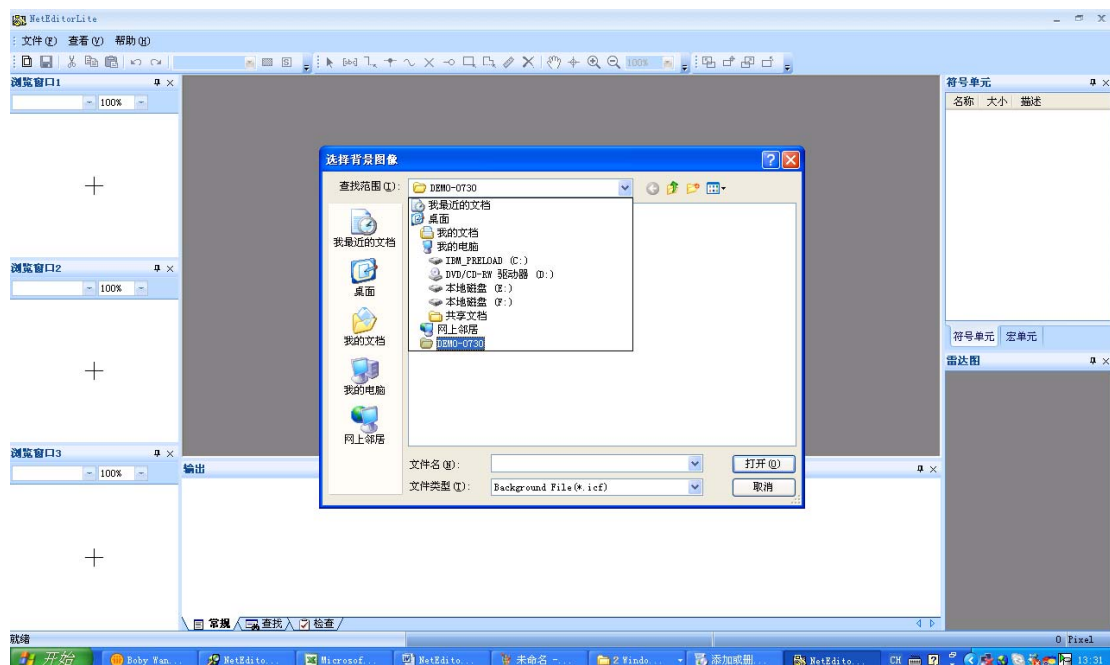
1. 执行 NetEditorLiteSetup.msi，根据安装向导提示，一步一步进行安装。
2. 安装完成后，执行桌面快捷方式 NetEditorLite，显示如下



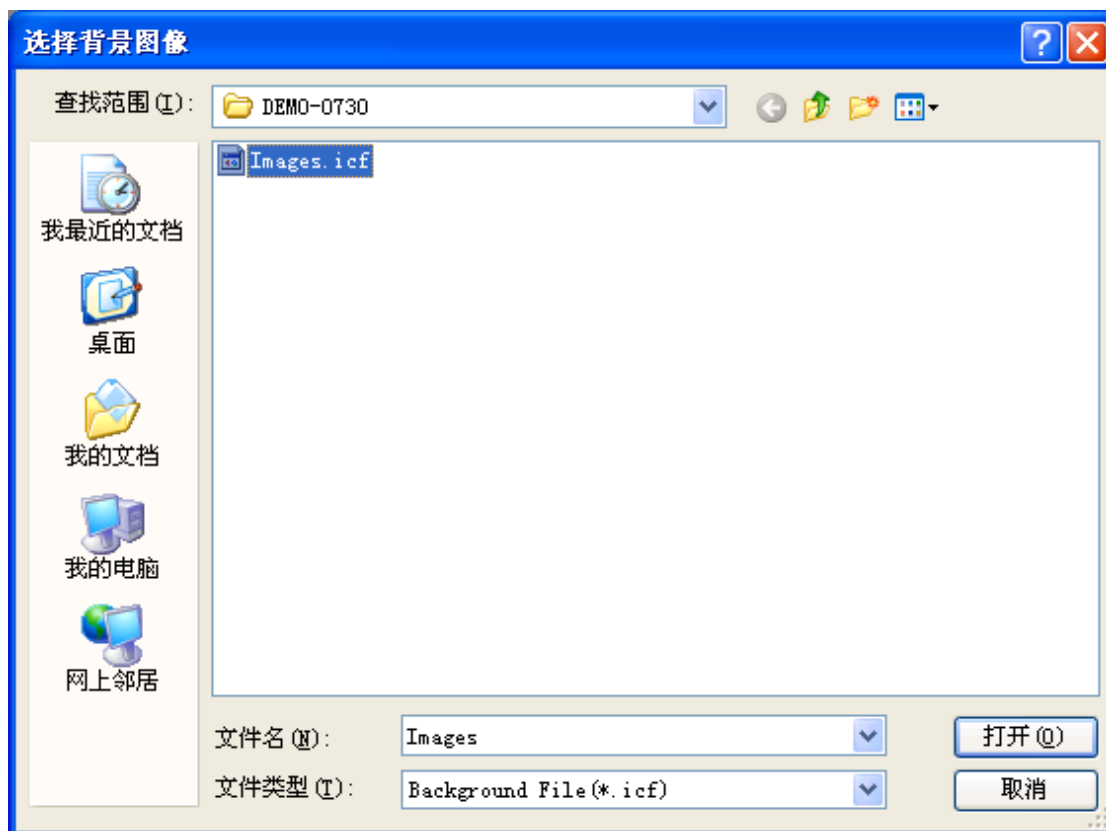
点击“文件”选择“载入背景图像”，显示为：



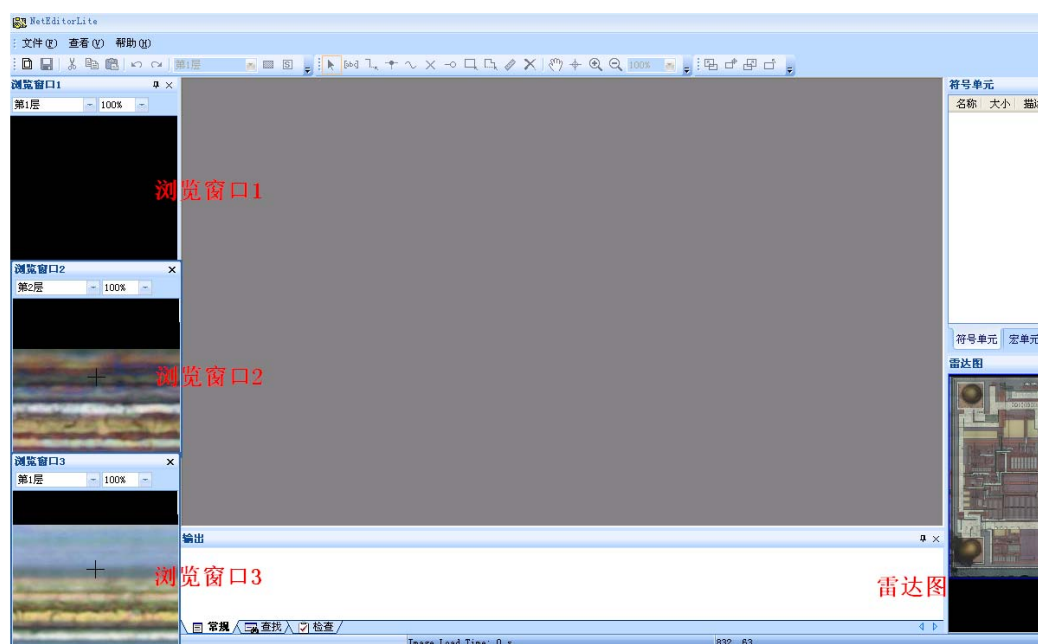
点击“载入背景图像”后，选择“.icf”的图像文件：



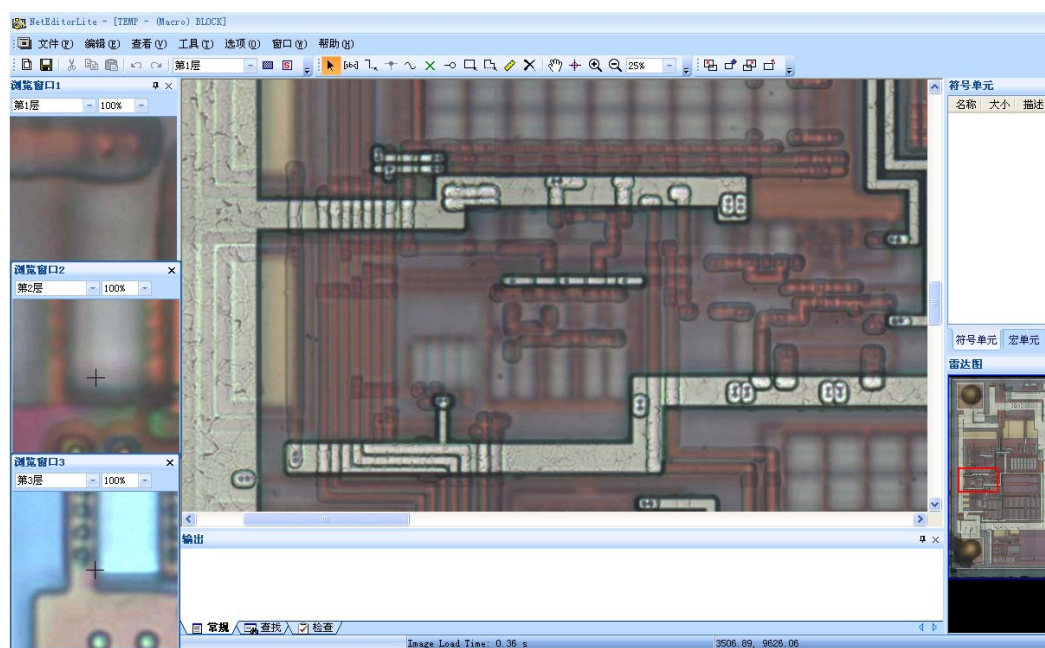
选择“image.icf”,点击“打开”如下图所示:



NetEditorLite 呈现主界面,“雷达图”打开,“三个浏览窗口”打开:




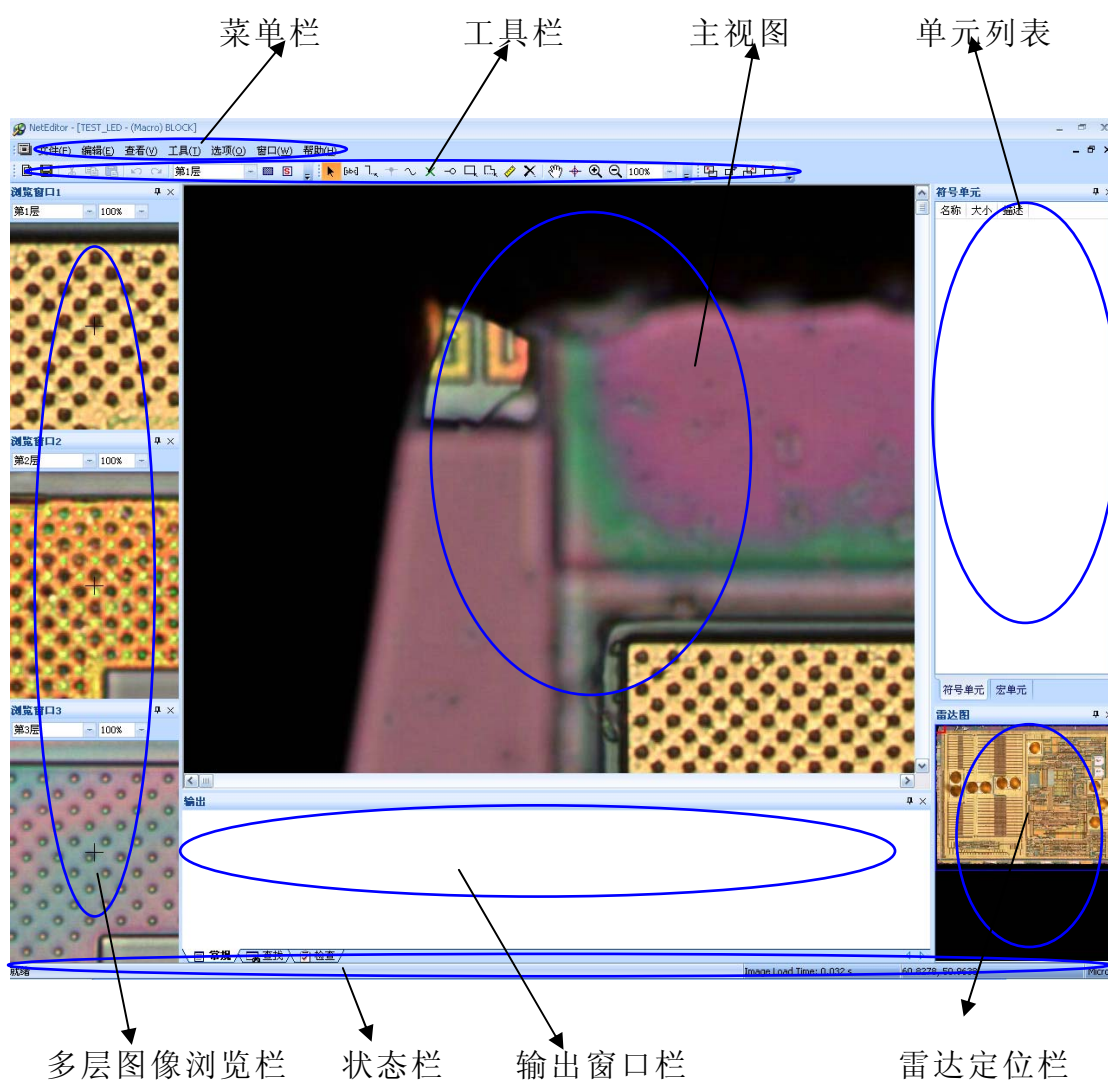
在菜单栏“文件”中点击“新建主宏单元”，图像在操作区域呈现，如下图：



新建工程结束。

第三章 软件介绍

点图标  新建一个主宏单元，显示如下图所示。界面窗口包括以下几个部分：菜单栏，工具栏，状态栏，多层图像浏览栏，工程窗口，单元列表，输出窗口栏以及雷达定位栏。



3.1 菜单栏

菜单栏如下图所示，它对应软件系统的一些基本功能。每个菜单分述如下：

文件(F) 编辑(E) 查看(V) 工具(T) 选项(O) 窗口(W) 帮助(H)

编辑(E) 查看(V) 工具(T) 选项(O)

撤销(U) U

重作(R) Shift+U

剪切(T) Ctrl+X

复制(C) Ctrl+C

粘贴(P) Ctrl+V

复制到(Y)... Ctrl+E

查找(F)... F

放大(I) Ctrl+Z

缩小(Q) Shift+Z

清除所有标尺 Shift+K

删除指定元素

高亮显示线网 B

取消高亮显示 Ctrl+B

提取L/w值(R) R

查看(V) 工具(T) 选项(O)

✓ 菜单栏(M)

✓ 工具栏(I)

✓ 绘图栏(D)

✓ 框选操作栏(B)

宏单元栏(A)

符号单元栏(S)

雷达图(R)

输出(O)

浏览窗口1

浏览窗口2

浏览窗口3

工具(T) 选项(O) 窗口(W) 帮助(H)

导出网表(X)...

导出CIF(C)...

检查设计规则(C)...

刷新所有单元(R)

单元自动搜索(S)...

线网自动识别(L)...

修复引脚连接(P)...

自动生成引脚(A)

SVS(V)

选项(O) 窗口(W) 帮助(H)

设置(S)...

显示(D)...

命名重复方式 ▶

✓ 吸附到格点(G)

窗口(W) 帮助(H)

层叠(C)

平铺(T)

排列图标(A)

◆ 1 TEST_LED - (Macro) BLOCK

窗口(W)...

帮助(H)

关于 NetEditor(A)...

3.1.1 文件菜单

菜单	功能	快捷键
新建主宏单元	新建主宏单元	
关闭	关闭活动文档	
保存	保存活动文档	Ctrl+S
导入		Ctrl+I
退出	退出应用程序	

3.1.2 编辑菜单

菜单	功能	快捷键
撤销	撤销最后一步操作	U
重作	重新执行上次操作	Shift+U
剪切	剪切选定内容	Ctrl+X
复制	复制选定内容	Ctrl+C
粘贴	插入剪贴板内容	Ctrl+V
复制到		Ctrl+E
查找	查找指定的正文	Ctrl+F
放大	放大当前视图	Ctrl+Z
缩小	缩小当前视图	Shift+Z
消除所有标尺	清除视图上的标尺	Shift+K
删除指定元素	根据图元类型删除	
高亮显示线网	高亮显示线网	B
取消高亮显示	取消高亮显示	Ctrl+B
提取 l/w	提取单元框内的标尺值	R

3.1.3 查看菜单

菜单	功能	快捷键
菜单栏	显示或隐藏菜单栏	
工具栏	显示或隐藏工具栏	
绘图栏	显示或隐藏绘图栏	
框选操作栏	显示或隐藏框选操作栏	
宏单元栏	显示或隐藏宏单元栏	
符号单元栏	显示或隐藏符号单元栏	
雷达图	显示或隐藏雷达图	
输出	显示或隐藏输出栏	
浏览窗口 1	显示或隐藏浏览窗口 1	
浏览窗口 2	显示或隐藏浏览窗口 2	
浏览窗口 3	显示或隐藏浏览窗口 3	

3.1.4 工具菜单

菜单	功能	快捷键
导出网表	产生当前视图的网表	
导出 CIF	由原理图导出版图	
检查设计规则	检查方向版图设计规则	
刷新所有单元	刷新单元	
单元自动搜索	自动搜索单元实例	
线网自动识别	自动搜索线网连接	

修复引脚连接	修复断开的连接关系	
自动生成引脚	空线头上放置引脚	
SVS	单元网表数据对比	

3.1.5 选项菜单

菜单	功能	快捷键
设置	格点及自动连接设置	
显示	设置各图元的显示颜色	
命名重复方式	设置命名重复方式	
吸附到格点	打开/关闭格点吸附功能	

3.1.6 窗口菜单

菜单	功能	快捷键
层叠	排列窗口成相互重叠	
平铺	排列窗口成互不重叠	
排列图标	将图标排列在窗口底部	
TEST_LED-(Macro) BLOCK	当前打开的窗口	
窗口	管理当前窗口	

3.1.7 帮助菜单

菜单	功能	快捷键
关于 NetEditor	显示程序信息、版本号和版权	

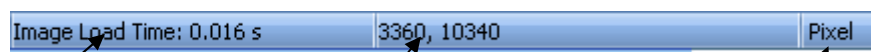
3.2 工具栏

工具栏上是一些常用的图标按钮，各图标按钮功能及其对应的快捷键如下表所示。



图标	功能	快捷键
	显示/隐藏图像	~
	显示所有/选中对象	F8
	标签	F1
	引线	F2
	连接点	
	电源	F4
	空接点	F5
	引脚	
	矩形/创建单元	
	线、多边形	
	测量标尺	K
	删除	DEL
	移屏	
	坐标定位	
	放大	Ctrl + Z
	缩小	Shift + Z
	框选拖拽(保持连接关系)	
	框选移动(不保持连接关系)	
	框选复制	
	框选旋转	
	两点间断线的自动连接	

3.3 状态栏



背景图像载入时间 鼠标当前位置坐标 标尺单位，可为微米或像素

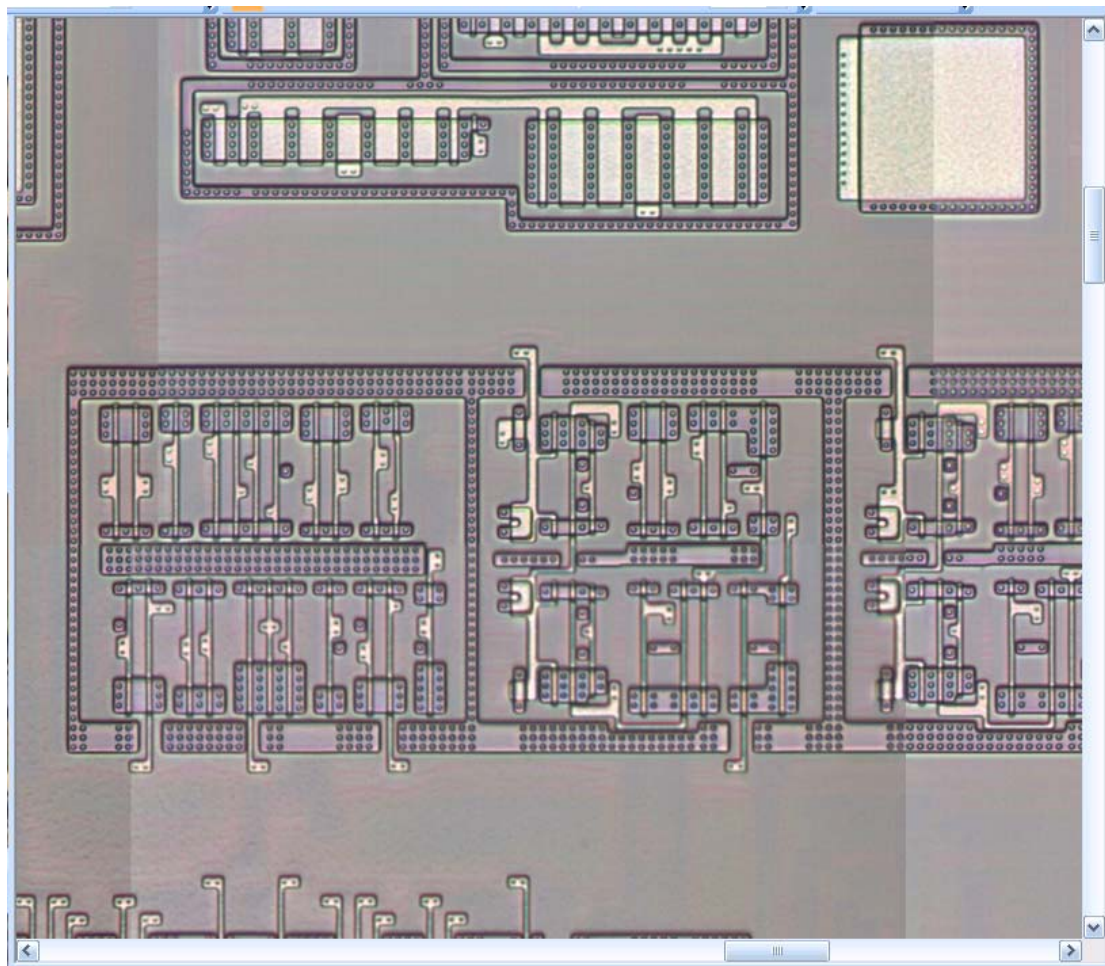
3.4 多层图像浏览栏



3.5 主视图

主视图显示当前位置处的图像，切换不同层图像按数字键，键 1 对应第一层图像，键 2 对应第二层图像，键 3 对应第三层图像，依此类推。按

~键显示或隐藏背景图象。



3.6 单元列表

按名称排序

按大小排序



相关操作：

单击“名称”，“大小”，“描述”标签可以进行相应的排序，便于查找单元。

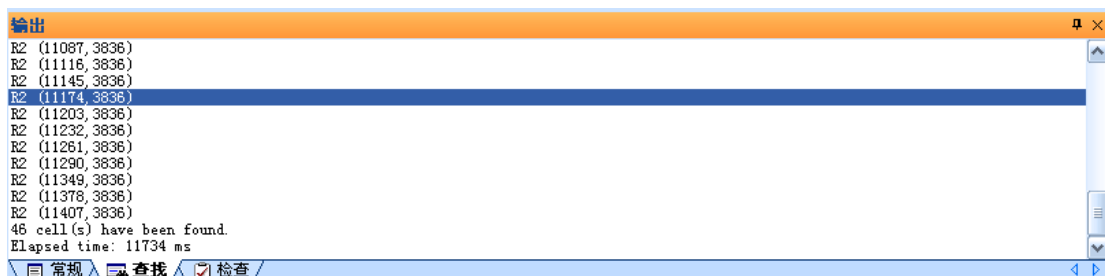
双击单元名称，打开对应的单元。

按右键显示菜单如下：

编辑(E)	
引用(R)	
列举实例(L)	
重命名(N)	
删除(D)	Del

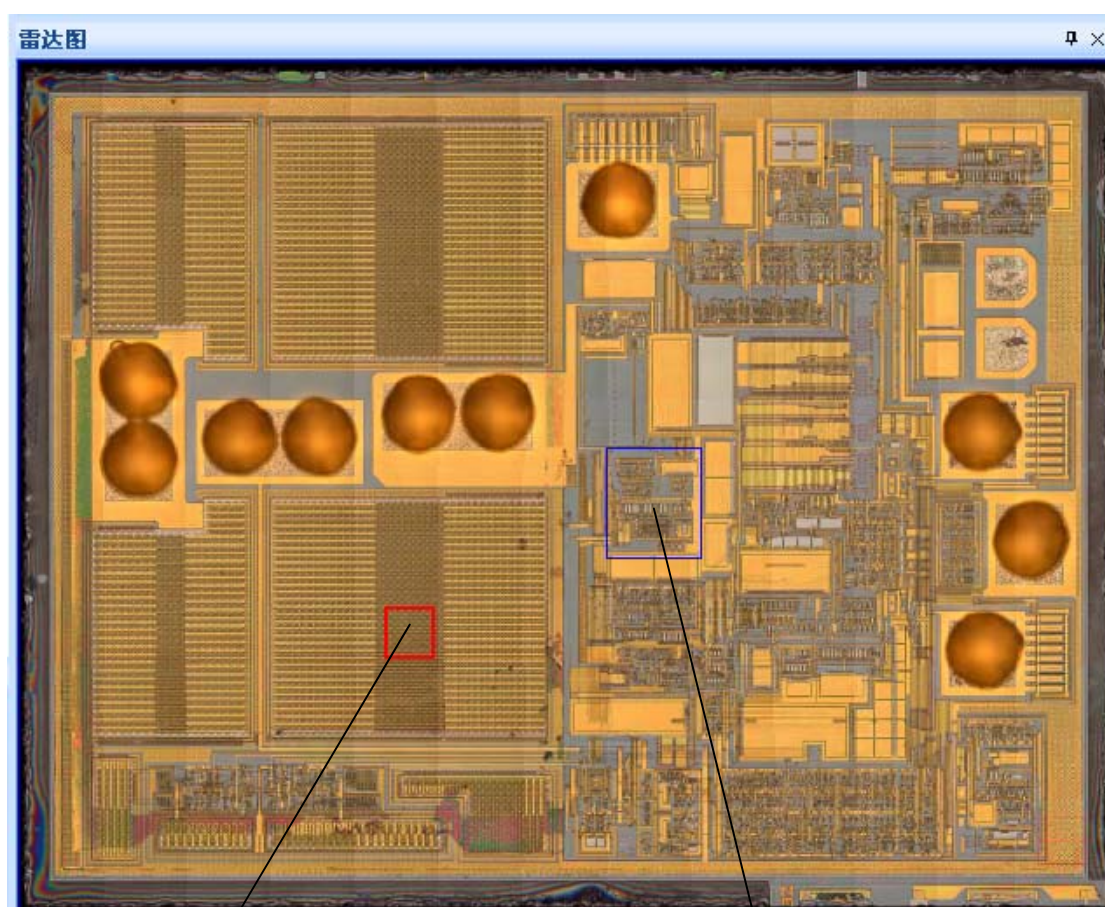
3.7 输出窗口栏

输出窗口栏记录用户的一些操作过程及其对应的输出结果，如建立宏单元、单元定位、线网 ERC 等。



3.8 雷达定位栏

通过雷达定位栏，用户可以清楚地知道到当前主视图以及宏单元在整个芯片图像中所处的位置；通过点击雷达图，用户也可以方便地定位到想浏览的图像位置。



当前主视图窗口的位置


当前打开的宏单元窗口的位置

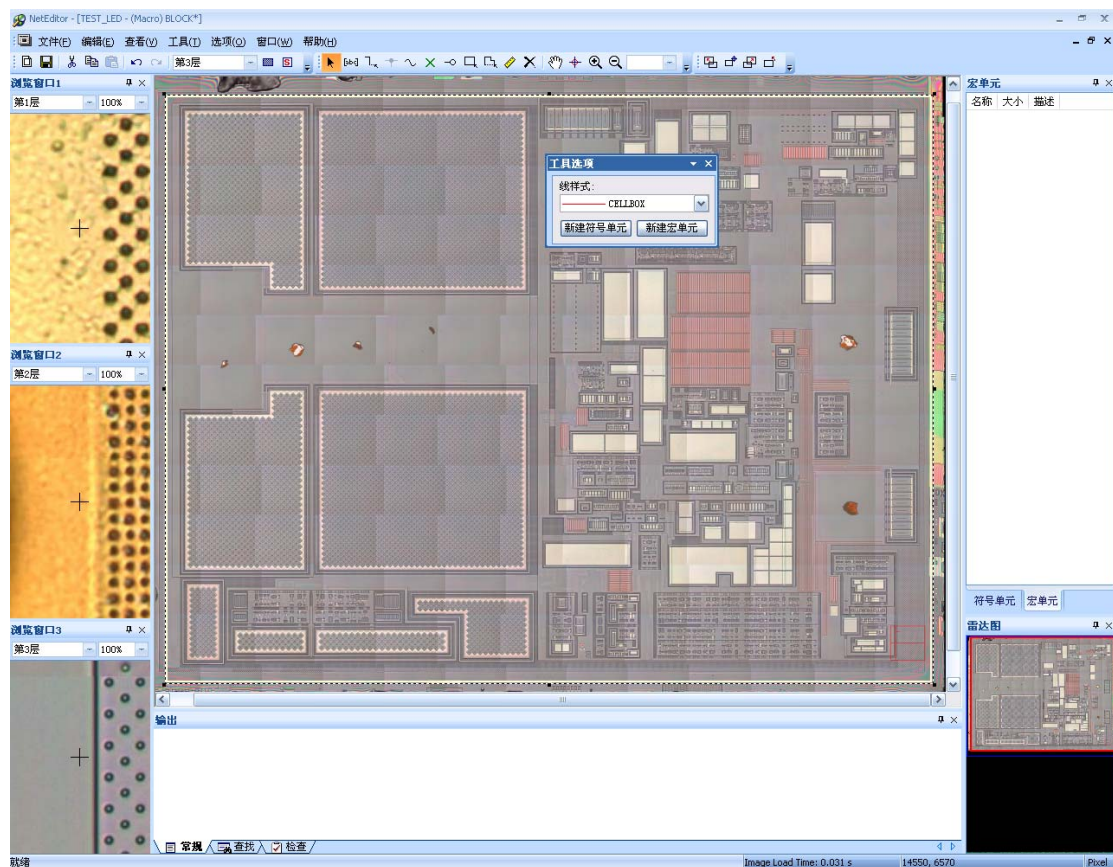
第四章 网表提取流程

电路网表按以下流程进行提取：

1. 主宏单元建立
2. 功能模块划分
3. 每个功能模块内部网表提取
4. 电学规则检查(ERC)
5. 网表导出

4.1 主宏单元建立

主宏单元对应整个芯片的工作区，它是顶层单元。建立主宏单元的目的在于将以后的操作都限定在此主宏单元内部，包括宏单元（功能模块）和符号单元（元器件）的建立。主宏单元按以下方法建立：缩小图像至合适比例，点击工具栏上按钮，框选单元定位所在区域，如图白色边框所示：



在弹出的“工具选项”对话框中点击“新建宏单元”，然后在弹出的“单元属性”对话框中点击“保存”即可，如下图所示。在“单元属性”对话框中可以修改其 Name 属性，同时也可以设置 RefPrefix 参数，使宏单元内所有引用的实例名称前都以 RefPrefix 的值做为前缀，这样可以方便的通过实例名称前缀找出其所属的宏单元。本例中其 Name 属性为 BLOCK，RefPrefix 参数值为 BL_，这样在 BLOCK 宏单元引用的所有实例名称都以 BL_ 开头。

Parameter	Show?	Default value
Name	Default to show	BLOCK
Reference	Default to show	M?
RefPrefix	Default to hidden	BL_

默认方向: Top

描述:

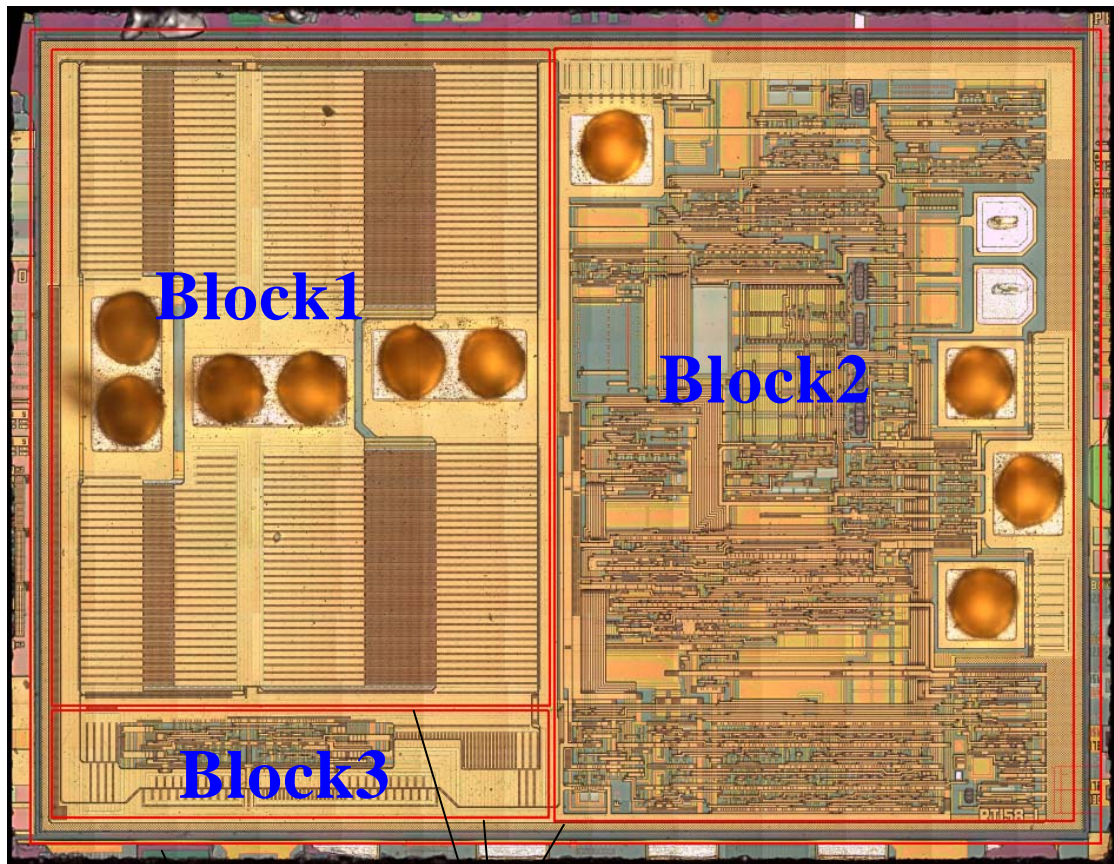
引用外部库

Library:

Cell:

4.2 功能模块划分

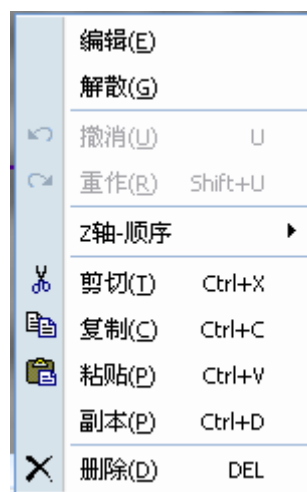
根据芯片图像各个部分的工作原理和电学功能，可将芯片图像化分成若干个宏单元（功能模块），模块之间不应重叠。宏单元划分方法通主宏单元建立的步骤一样，下图为一个划分好的功能模块示意图：

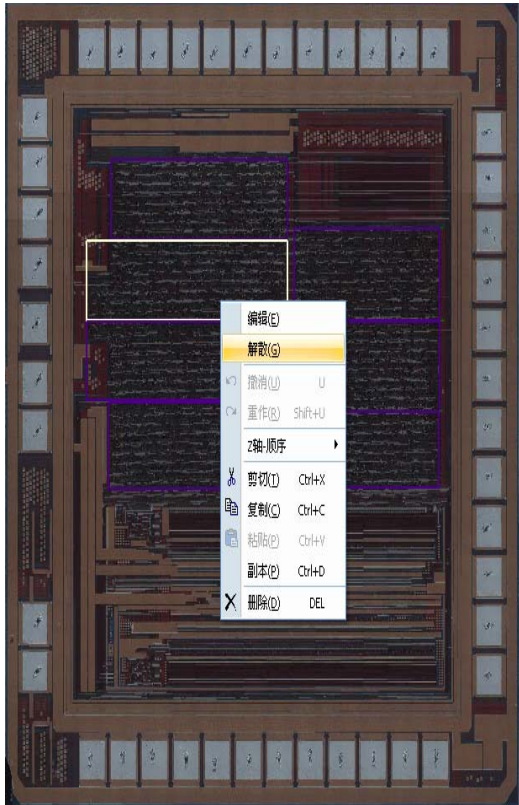


主宏单元边框

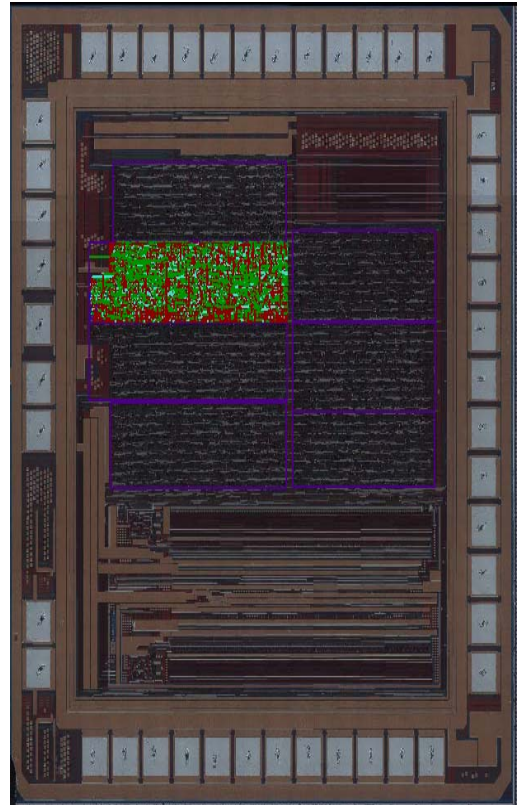
宏单元（功能模块）边框

在 Macro（Block1 或 Block2 或 Block3）各个功能模块的网表数据提取完毕，如果想在主 Macro（Block）中提取网表数据，可通过右击 Macro 单元，弹出菜单如下图选择“解散”，就可以将 Macro 中的网表数据解散到当前主 Macro 中。






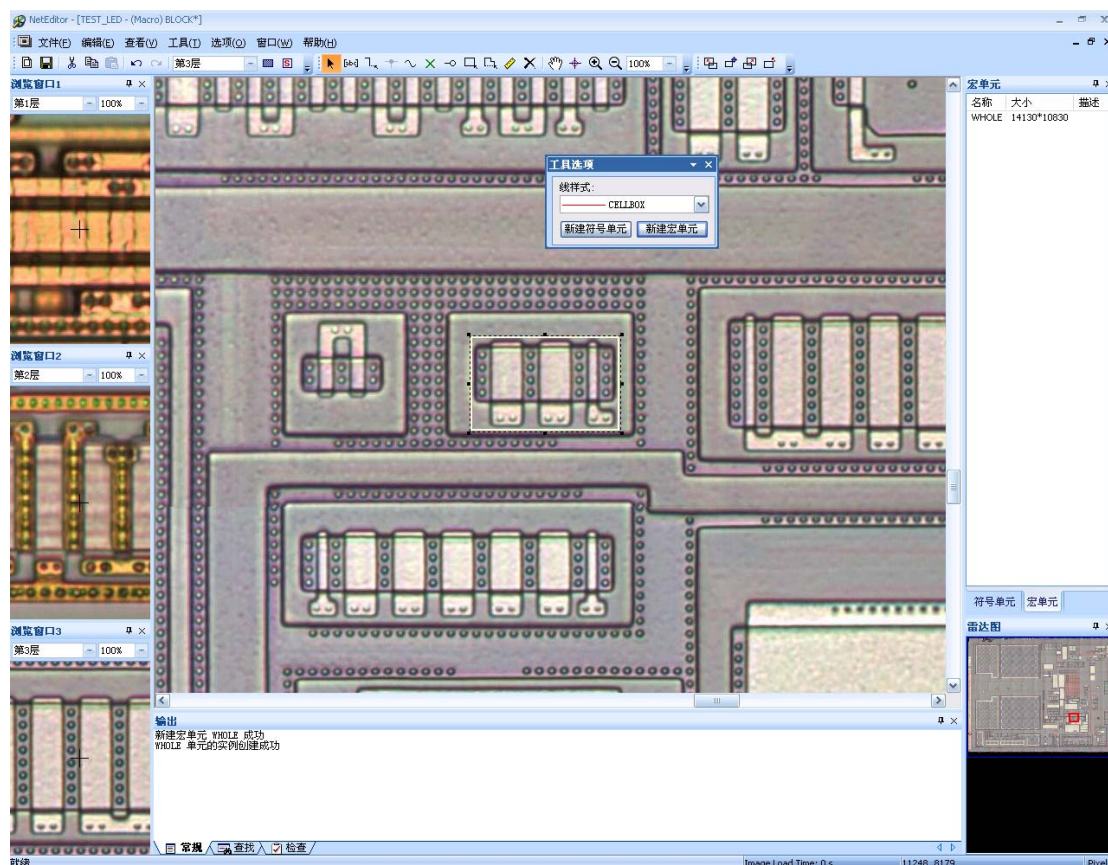
解散前



解散后

4.3 每个功能模块内部网表提取

- a) 首先在各功能模块内部定义符号单元。符号单元定义方法如下：点击工具栏上  按钮，框选待搜索的单元，如图所示：



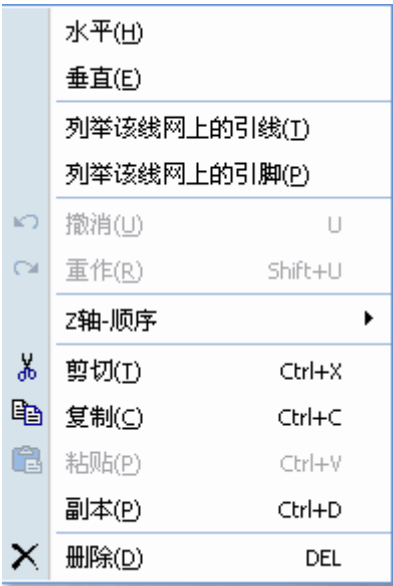
在弹出的“工具选项”对话框中点击“新建符号单元”，并修改其 Name 属性（本例中为 cell），然后点击“保存”，如图所示。



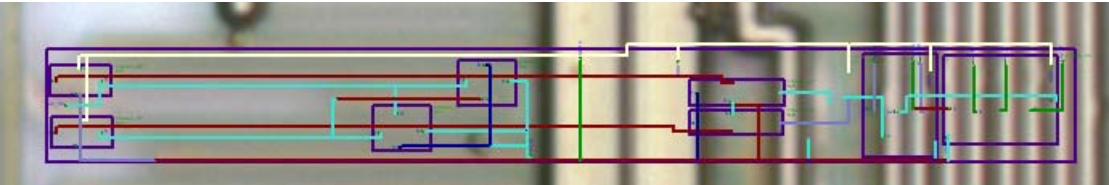
- 然后进行单元自动搜索，并对搜索结果进行人工确定或修改，遗漏的单元还需人工摆放上去（详见第五章）。
- 再对该功能模块进行线网自动识别，由于图像质量的影响，一些没有识别出来的线网需要人工绘制（详见第六章）。
- 最后将线网向单元引脚上连接，形成一个完整的网表。

4.4 指定引线的检查

每个功能模块的网表提取过后，如果想要查看某特定引线上所包含的引脚或引线时，可以在该引线上右击弹出菜单（如下图所示）选择“列举该线网上的引脚”或“列举该线网上的引线”就可以在输出窗口中获取到该线网的引脚或引线，按 TAB 键逐个定位查看（按 SHIFT+TAB 回上条）。



如果想要从整体上查看该线网的组成，可以直接双击该线网，该线上所有引线与 Pin 脚都显示出来，效果如下图白线所示：



4.5 电学规则检查(ERC)

每个功能模块的网表提取过后，需要进行电学规则检查。经过电学规则检查，可以基本消除电路中包括引用名、物理和逻辑等的错误（详见第五章）。

4.6 网表数据对比（SVS）

为了提高提取网表数据的准确度，我们一般会进行两次或多次网表数

据的提取，然后进行单元级的网表数据的对比（SVS），以发现连线错误。两次或多次网表的提取应该基于相同的引用单元数据，然后分别连线提取（重新保存单元时改变其名称来获取相同的引用单元数据）。

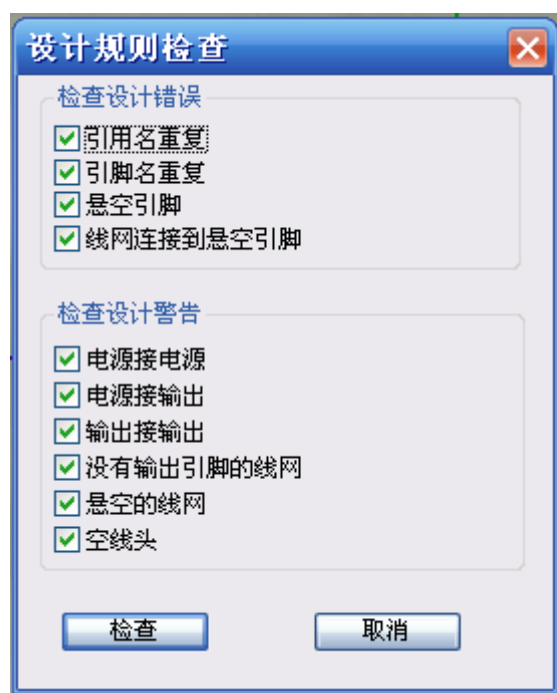
4.7 网表导出

各个功能模块的网表提取完毕，可以导出网表到 Synopsys、Cadence 等正向设计软件中进行再设计。目前系统支持 Verilog、Edif200 格式的网表导出（详见第六章）

第五章 电学规则检查

每个功能模块的网表提取过后，在导出网表数据之前，需要进行电学规则检查。经过电学规则检查，可以基本消除电路中包括引用名、物理和逻辑等的错误。

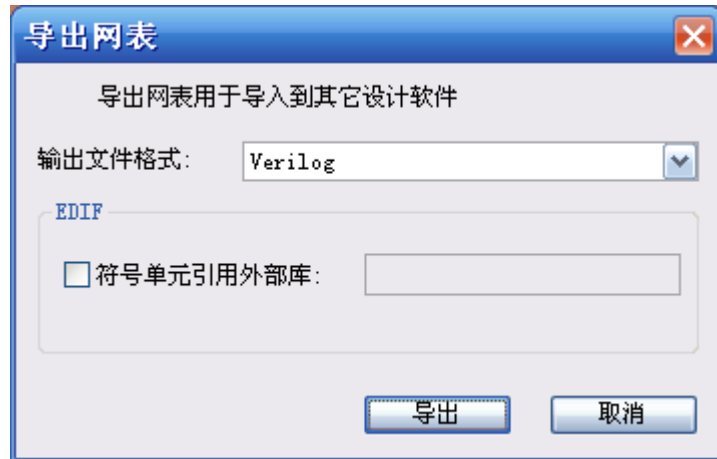
点击工具菜单下的“检查设计规则”，将弹出如下对话框：



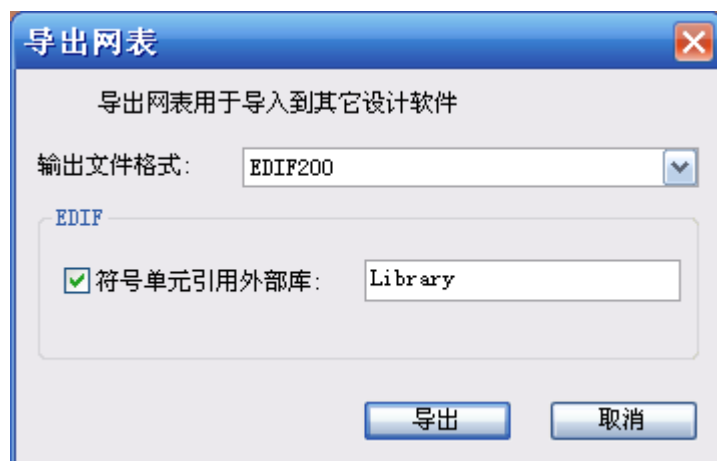
在上图所示对话框中勾选待检查的项目，然后点击按钮“检查”。检查结束后，将在输出栏中显示出错的网表。跟以往操作一样，按 Tab 键即可定位到出错的位置。

第六章 网表数据导出

点击工具菜单下的“导出网表”，将弹出如下对话框：



目前输出文件格式有 Verilog 和 Edif200 两种可供选择。在导出 EDIF200 格式时可以选择符号单元引用外部库，如下图所示，直接用外部库定义的单元替换符号单元。点击“导出”，将会生成指定格式的网表文件。

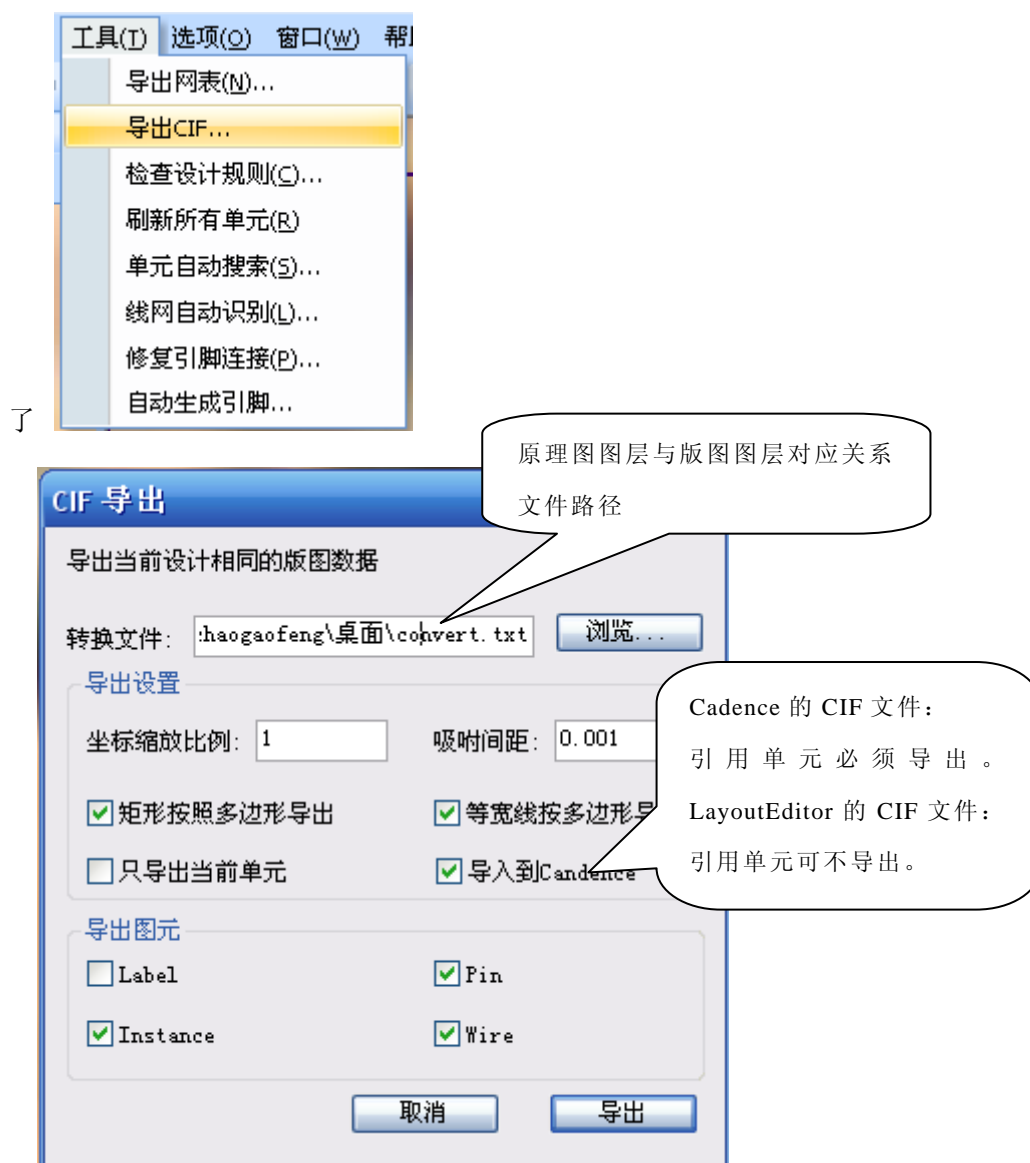


第七章 原理图数据导出版图数据

根据 NetEditorLite 提取的电路图数据，导出简要的版图数据，然后将此数据导入到 LayoutEditor、Cadence 进行版图数据的精提取、精设计。

7.1 导出版图数据CIF文件

在菜单栏“工具”中点击“导出 CIF...”,如下图:



原理图图层与版图图层对应关系文件内容大致如下：

LayerMap CELLBOX Boundary 0.45

LayerMap M1 MET1 0.45

LayerMap M2 MET2 0.5

LayerMap M3 MET3 0.5

LayerMap M4 MET4 0.5

LayerMap M5 MET5 0.5

ViaMap M1 M2 VIA1

ViaMap M2 M3 VIA2

ViaMap M3 M4 VIA3

ViaMap M4 M5 VIA4

ViaParam VIA1 0.45 0.15

ViaParam VIA2 0.45 0.15

ViaParam VIA3 0.45 0.15

ViaParam VIA4 0.45 0.15

LayerMap: 层映射关键字，后面依次为 NetEditorLite 中的层名（M1）、LayoutEditor 中的层名（MET1）及它（MET1）的线宽。（如果在 NetEditorLite 中用 M1 画的图元，则在导出 CIF 时，将 M1 层转换为 MET1 层。）

ViaMap: 自动增加孔关键字，后面为 NetEditorLite 中的层名（M1、M2）、孔层名（VIA1）。（如果在 NetEditorLite 中的 M1、M2 画的线相交，则在导出 CIF 时在交点处自动增加孔 VIA1。）

ViaParam: 孔层的关键字，后面依次为孔层的名（VIA1）、孔层的线宽、孔层的覆盖距离。设置了一个孔所需要的参数，在导出 CIF 时将根据此参数来绘制自动增加的孔。

注意：区分大小写、一行一个关键字

7.2 数据导入到LayoutEditor

参考 LayoutEditor 使用手册

7.3 导出的CIF数据导入到Cadence

参考 LayoutEditor 使用手册

第八章 关于设置选项

软件的一些设置选项非常重要，比如说颜色设置、格点设置等，下面江逐一阐述。

8.1 颜色设置

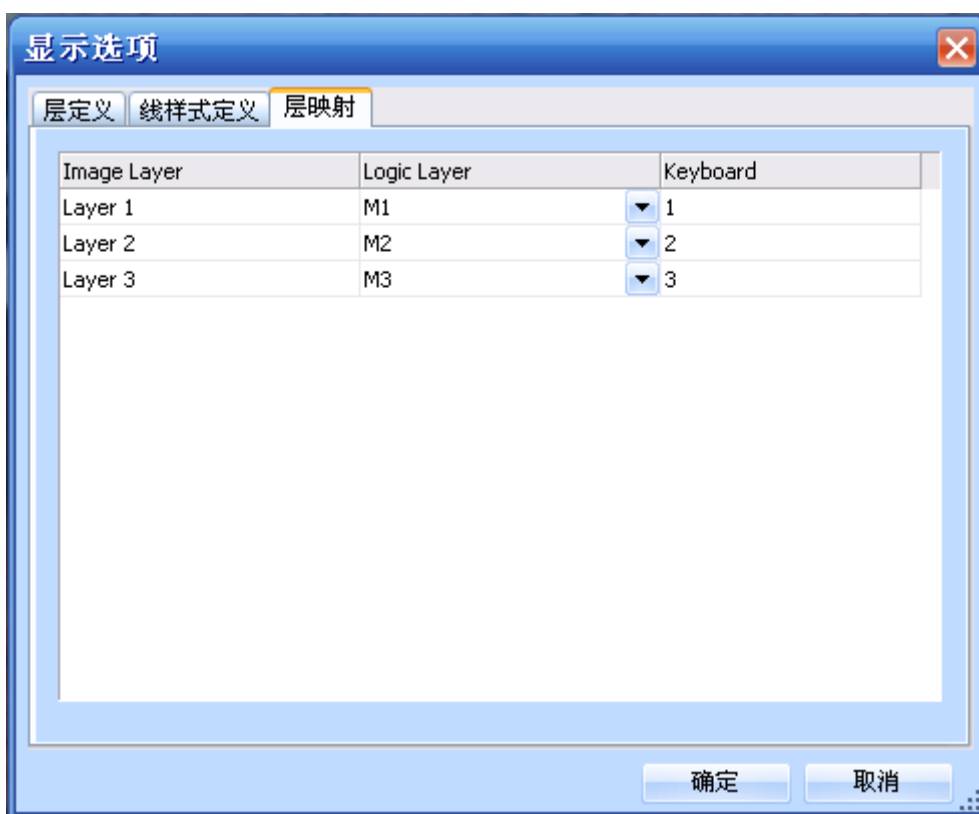
点击“选项”菜单下的“显示”，将弹出显示选项对话框，如下图所示。在线样式栏可以修改线条的样式属性，在默认方向栏中可以修改线条的方向。另外还可以点击“增加”来增加新的层线条，并为它设置相应样式和方向属性。



点击标签“线样式定义”，将弹出下图所示对话框。在该对话框中可以设置线条的名称、颜色、样式、线宽等属性。通过点击“增加”可增加新的线样式。



点击标签“层映射”，将弹出下图所示对话框。在该对话框中可以设置 Image 图像层、逻辑层（自定义层）、快捷键之间的对应关系。



8.2 选项设置

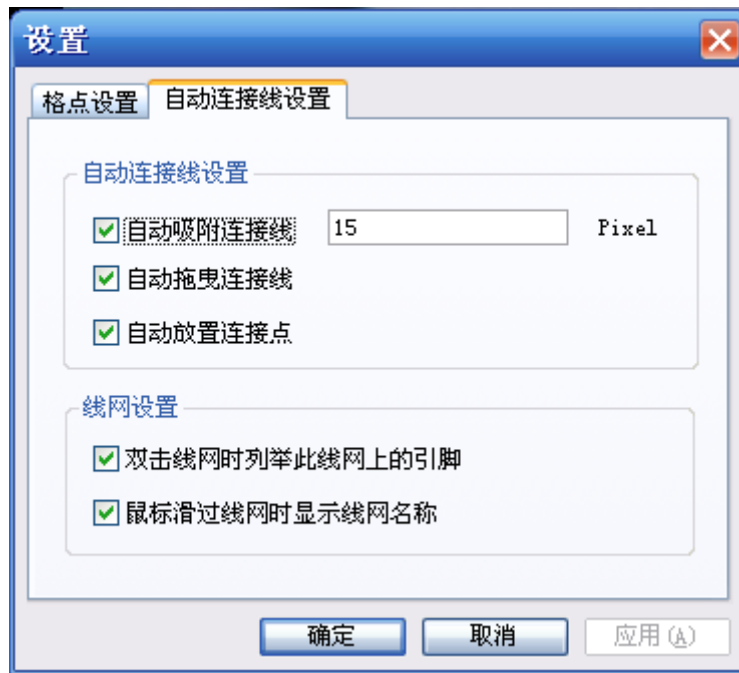
点击“选项”菜单下的“设置”，将显示如下对话框。在“格点设置”标签页中，可以设置格点和标尺属性。

勾选“显示格点”，将在主视图中显示格点；勾选“吸附到格点”，所有的图元将吸附到离它最近的格点上，移动图元的时候也是按格点移动（如果没有勾选“吸附到格点”，将按水平、垂直移动）。“标准格点间距”10个像素，“最佳格点间距”20个像素，用户也可以自行设置格点间距。

标尺设置有像素和微米两种。当需要用标尺测量元器件的尺寸时，一般勾选“单位为微米”。



“自动连接线设置”标签页如下图所示。各选项意义如下：



勾选“自动吸附连接线”，在手工绘制线网的时候，如果当前鼠标位置离最近的图元小于某一阈值（默认为 15 个像素，用户可以根据需要修改），线条会自动吸附到离它最近的图元上。

勾选“自动拖曳连接线”，当移动某一线条时，跟它有连接关系的图元也会跟着一起移动。

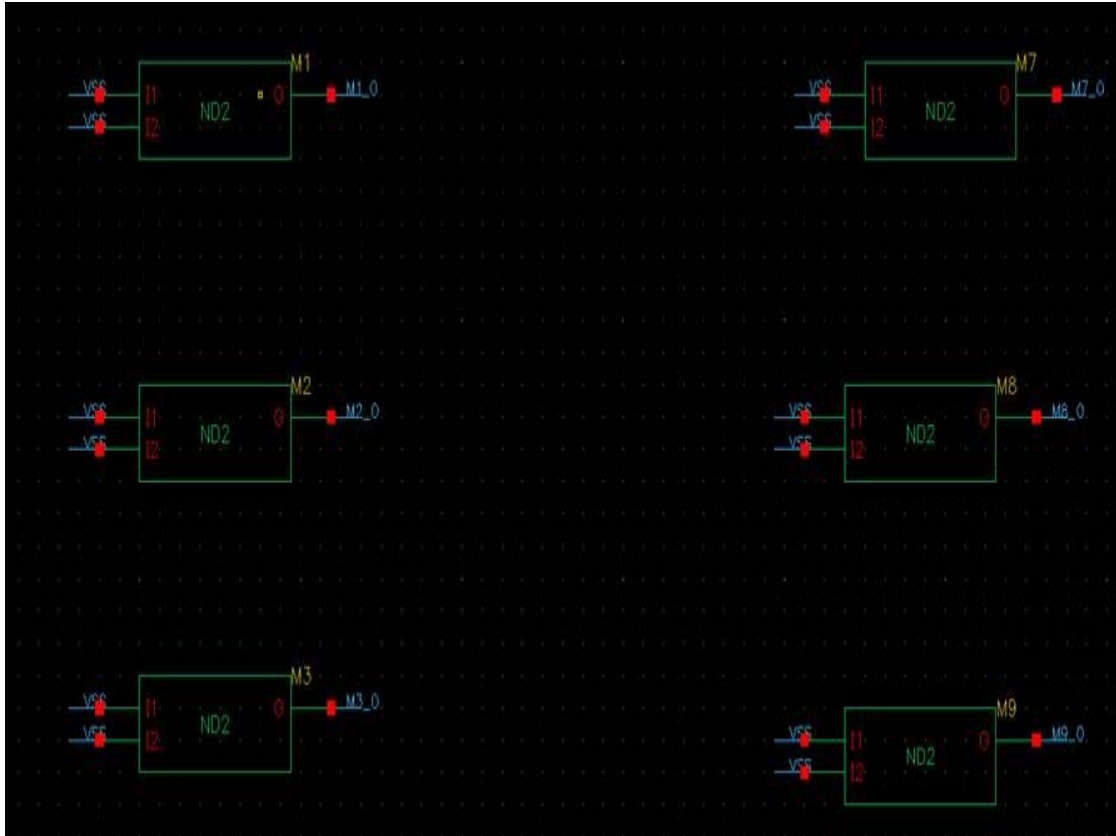
勾选“自动放置连接点”，系统会在两根引线或线网相交的地方自动摆放一个连接点。

勾选“双击线网时列举此线网上的引脚”，系统会在双击一条线时在显示线网的同时，也将此线网上的引脚列举出来。

勾选“鼠标滑过线网时显示线网名称”，系统会实时显示线所属的线网的名称。其一般在提图完成之后，在检查时打开。

常见问题

Q1: 附件(PRA1.edf), 虽有wire name, 但仍没有连线, 请问应如何操作?
同时将连线关系用wire连接起来, 是否为手动连线?



Re:

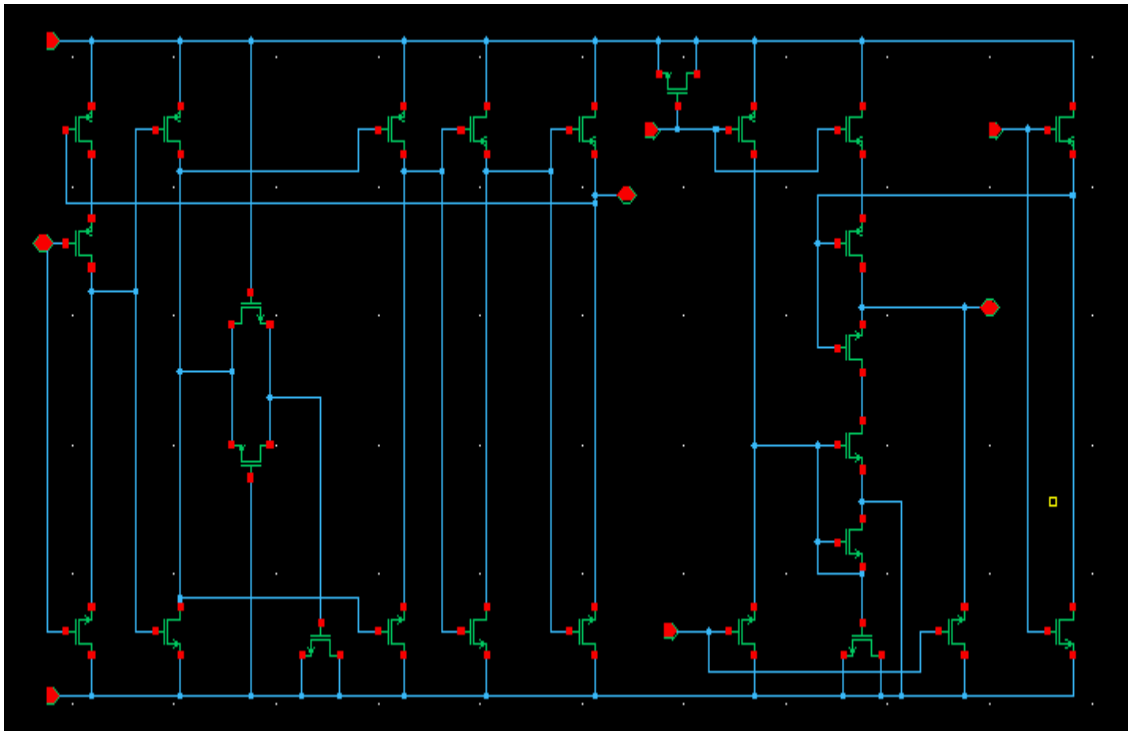
软件所导出的 edf200 格式, 在保留其逻辑连接关系的前提下, 将 long wire 缩短成 small wire, 如上图: M1_0、M2_0、M3_0 均是代表逻辑连接关系的 wire name, 这种设计是为了导入 Cadence 方便整理(移动器件单元时, 不受 long wire 影响, 同时实践表明, 重新摆放器件单元后, 其 long wire 多不美观, 均需修改, 反而增加工作量)。

成型的 IC, 单元器件重新布局, wire 重新布线, 摆放混乱, wire 跨度大, 造成模块功能识别困难。所以提取数据导入 Cadence 后, 为了模块功能识别容易与美观, 都十分有必要进行重新整理(将存在连接关系的单元器件摆放在一起, 同时 small wire 手动连接起来)。

由于 edf200 格式没有丢失其逻辑连接关系, 所以不影响其后续的仿真与验证等工作。

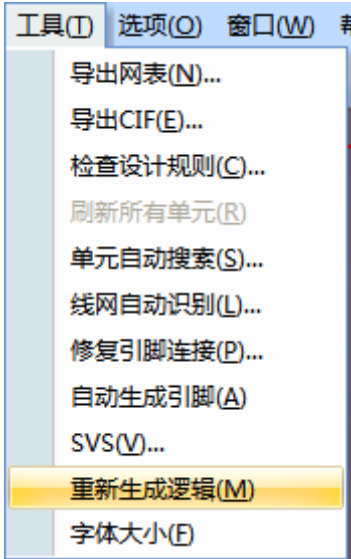
软件所导出的 Verilog 格式, 保留了其 long wire。

如下图为整理後：



Q2：线网逻辑关系发生紊乱后，如何解决。

Re：运行“重新生成逻辑”命令






Q3：如何快速查找线网中的短路连接点

Re：首先列举该线网的引脚，然后在输出窗口，进行如图操作：

输出				✕	
[CELL]	[REF]	[PIN]	[TYPE]		
[0001] D0_nor2m1bn1	D8M281	Y	OUTPUT		
[0002] D0_bufbn1	D8I3	A	INPUT		
[0003] D0_nand2bn1A	D8M755	Y	OUTPUT		
[0004] D0_bufbn3	D8M357	A	INPUT		
[0005] D0_aoi31bn1	D8I32	B	INPUT		
NET NAME = D8M281_Y					
				复制 (C)	
				全部清除 (L)	
				高亮通路 (H)	

附件：快捷键一览表

快捷键	图标	功能
数字键 1、2、3……		切换不同层图像，1 对应第一层图像，2 对应第二层图像，依次类推
~		显示/隐藏图像
方向键或 W,A,S,D		上下左右移动视图
双击单元列表栏单元		打开该单元
双击某根引线		选定跟该引线连接的所有线网
Tab		向下浏览输出栏中对象
Shift + Tab		向上浏览输出栏中对象
F1		给引线加标签
F2		增加引线
F4		电源
F5		空接点
F8 或 E		显示所有/选中对象
Q		在当前实例位置显示其对应单元图像
DEL		删除
K		标尺
Shift + K		清除视图上的标尺
U		撤销上次操作
Shift + U		重新执行上次操作
Ctrl + X		剪切选定内容
Ctrl + C		复制选定内容
Ctrl + V		插入剪贴板内容
Ctrl + F		查找指定的正文
Ctrl + Z		放大当前视图
Shift + Z		缩小当前视图
Ctrl + S		保存活动文档
B		高亮显示条线网
Ctrl + B		取消高亮显示线网
R		提取符号单元框内的标尺值
Ctrl + R		提取实例单元框内标尺值

		（首次画的标尺为参数 1 值，最后画的标尺为参数 w 值，只有一标尺则为参数 1 与 w 值）
--	--	---