

## 前言

NetEditor 系統是 Netlist 提取軟體。它基於晶片背景圖片，採取自動和人機交互的方式，提取忠於原晶片圖片的電路 Netlist，最後輸出 Verilog、Edif200 格式的 Netlist 資料，並可以導入到 Synopsys、Cadence 等 EDA 軟體中進行正向再設計。

宜特科技股份有限公司

技術支援：[alan@istgroup.com](mailto:alan@istgroup.com)

公司網頁：[www.istgroup.com](http://www.istgroup.com)

## 目 錄

目 錄 .....	2
第一章 作業系統及硬體配置要求 .....	4
1.1 作業系統配置要求 .....	4
1.2 硬體配置要求 .....	4
第二章 系統安裝步驟 .....	5
2.1 安裝檔案說明 .....	5
2.2 服務程式安裝及新建工程 .....	5
第三章 軟體介紹 .....	7
3.1 選項欄 .....	8
3.1.1 檔案功能列 .....	8
3.1.2 編輯功能列 .....	9
3.1.3 檢視功能列 .....	9
3.1.4 工具功能表 .....	10
3.1.5 選項功能表 .....	10
3.1.6 視窗功能表 .....	10
3.1.7 幫助功能表 .....	11
3.2 工具欄 .....	11
3.3 狀態欄 .....	12
3.4 多層圖像瀏覽欄 .....	12
3.5 主視圖 .....	13
3.6 單元列表 .....	14
3.7 輸出窗口欄 .....	15
3.8 導覽視窗 .....	16
第四章 Netlist提取流程 .....	17
4.1 主Macro單元建立 .....	17
4.2 功能模組劃分 .....	18
4.3 每個功能模組內部Netlist提取 .....	19
4.4 指定Netlist的檢查 .....	21
4.5 電學規則檢查(ERC) .....	21
4.6 網表數據對比(SVS) .....	22
4.7 Netlist導出 .....	22
第五章 電學規則檢查 .....	23

第六章 Netlist數據導出 .....	24
第七章 原理圖數據導出版圖數據 .....	25
7.1 導出版圖數據CIF文件 .....	25
7.2 CIF數據導入到LayoutEditor .....	26
7.3 CIF數據導入到Cadence .....	26
第八章 關於設定選項 .....	27
8.1 顏色設定 .....	27
8.2 選項設定 .....	29
常見問題 .....	31
附件：快捷鍵一欄表 .....	33

## 第一章 作業系統及硬體配置要求

### 1.1 作業系統配置要求

NetEditorLite 可在以下作業系統下穩定運行：

- (1) Windows 2000
- (2) Windows 2003
- (3) Windows XP

推薦配置如下：

伺服器：Windows Server 2003

用戶端：Windows XP Professional

### 1.2 硬體配置要求

- (1) Pentium IV 1.6G 或以上 CPU
- (2) 256M 或以上記憶體
- (3) 40G 或以上硬碟
- (4) 1024×768 螢幕解析度或更大

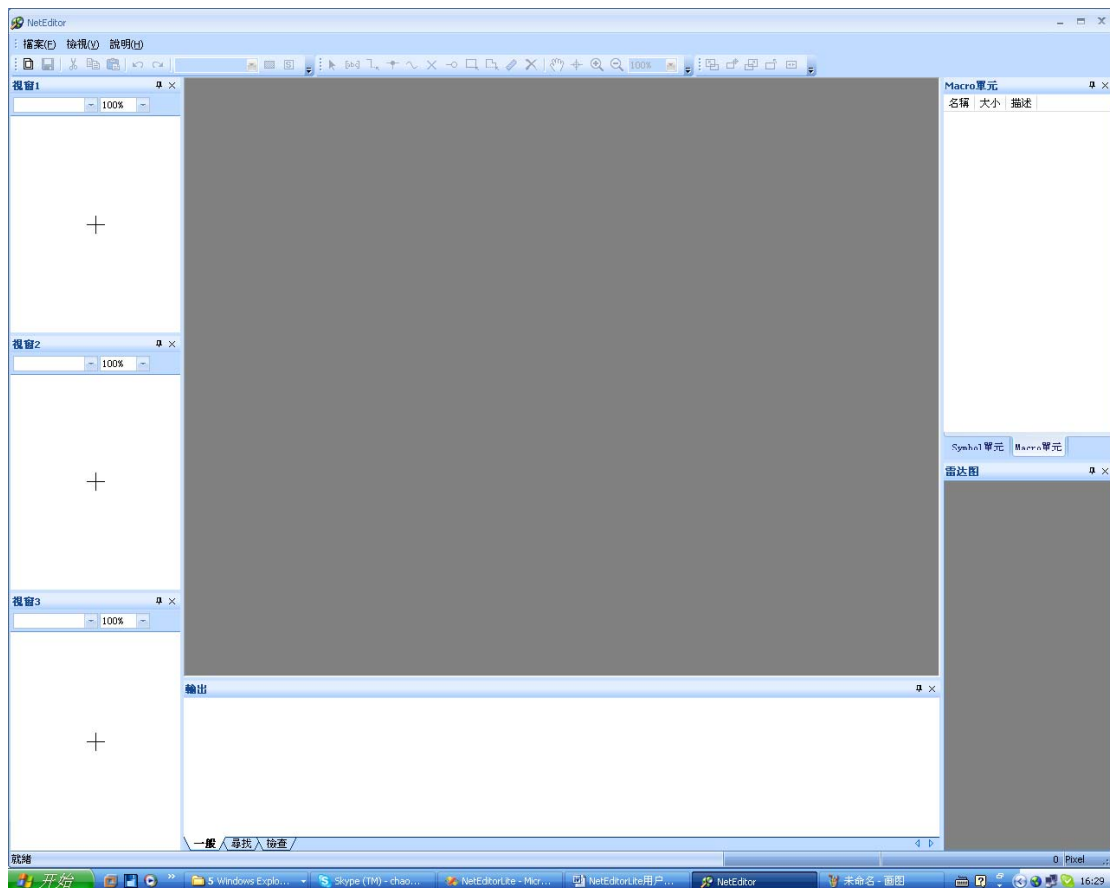
## 第二章 系統安裝步驟

### 2.1 安裝檔案說明

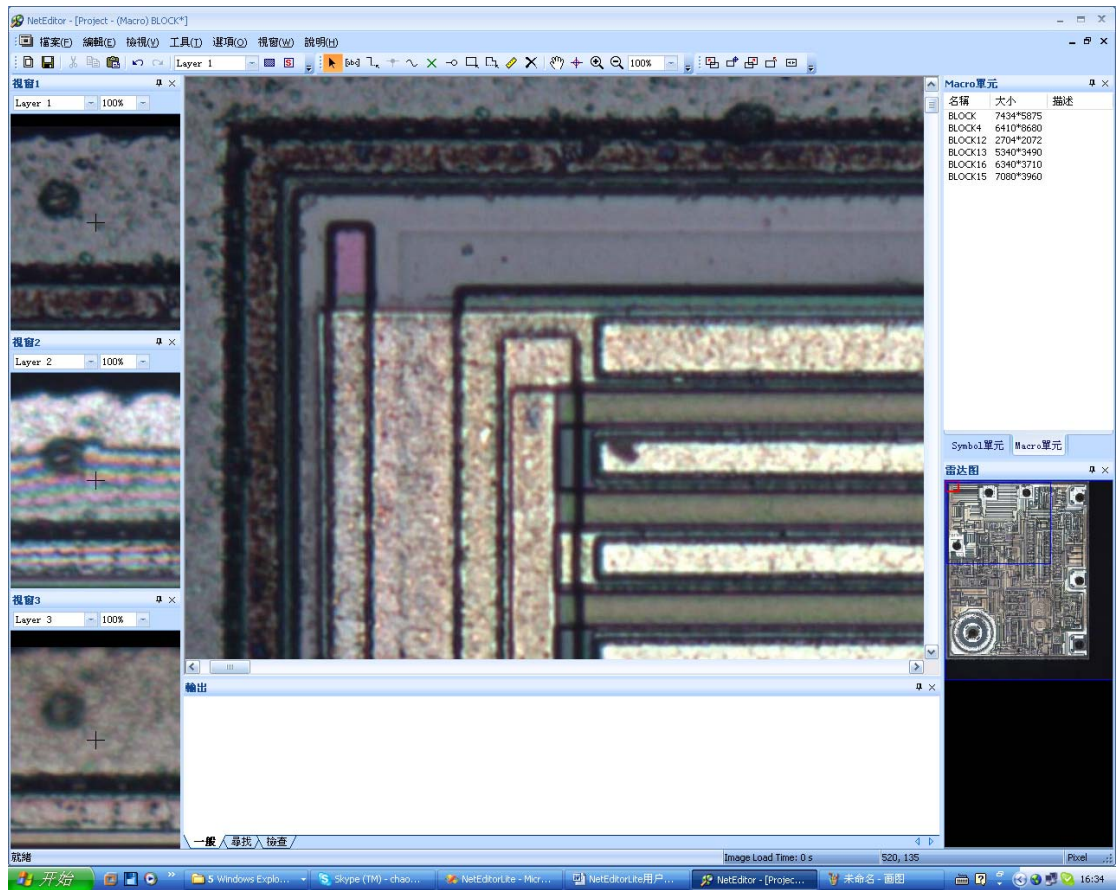
NetEditorLiteSetup.msi : Netlist 程式安裝，安裝後對應 NetEditorLiteSetup 軟體

### 2.2 服務程式安裝及新建工程

1. 執行 NetEditorLiteSetup.msi，根據安裝嚮導提示，一步一步進行安裝。
2. 安裝完成後，執行桌面快捷方式 NetEditorLite，顯示如下




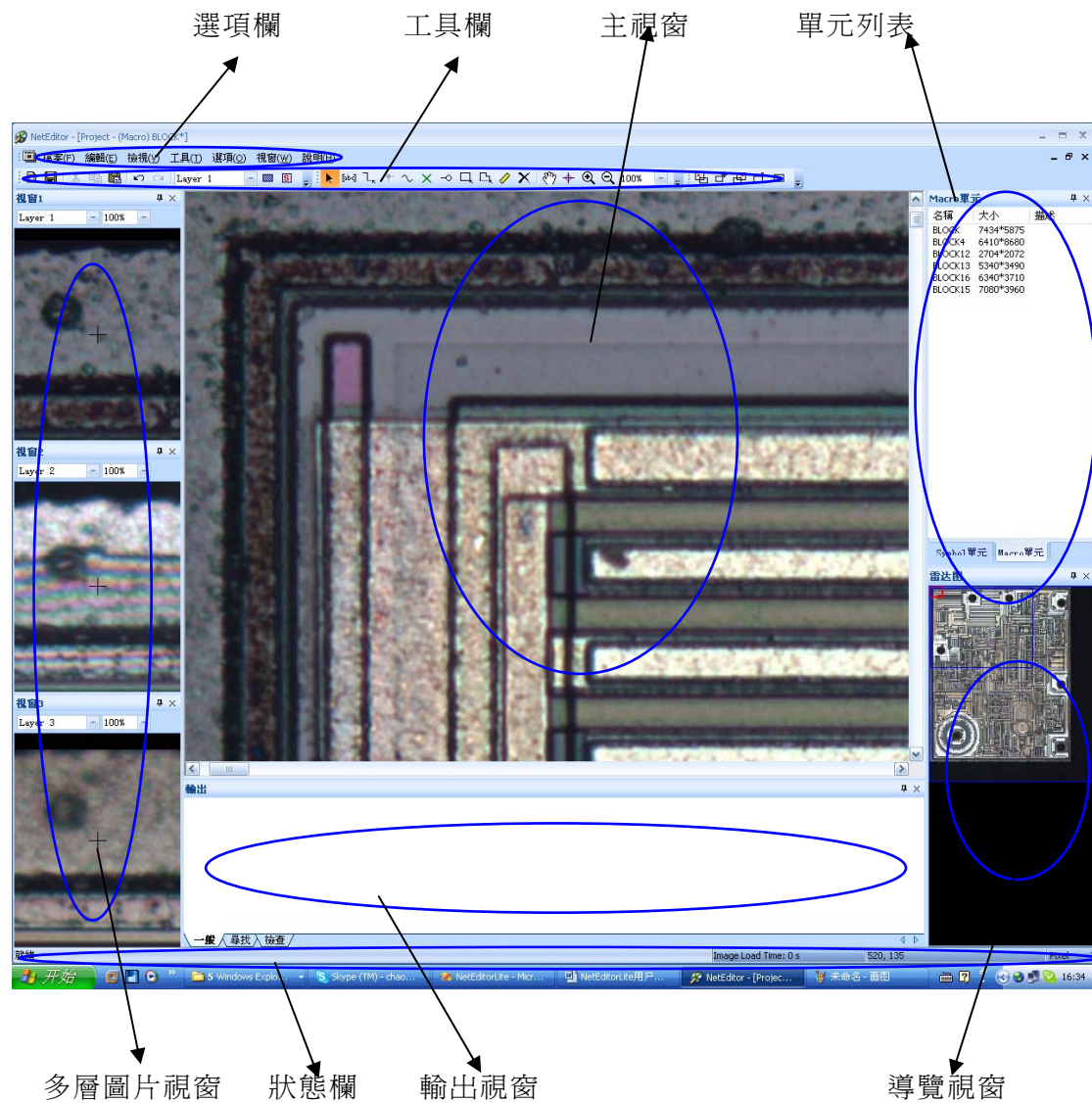
點擊“檔案”選擇“載入背景圖像”，點擊“載入背景圖像”後，選擇“.icf”的圖像檔案，點擊“打開”，然後 NetEditorLite 呈現主介面如下圖所示。



到此新建工程结束。

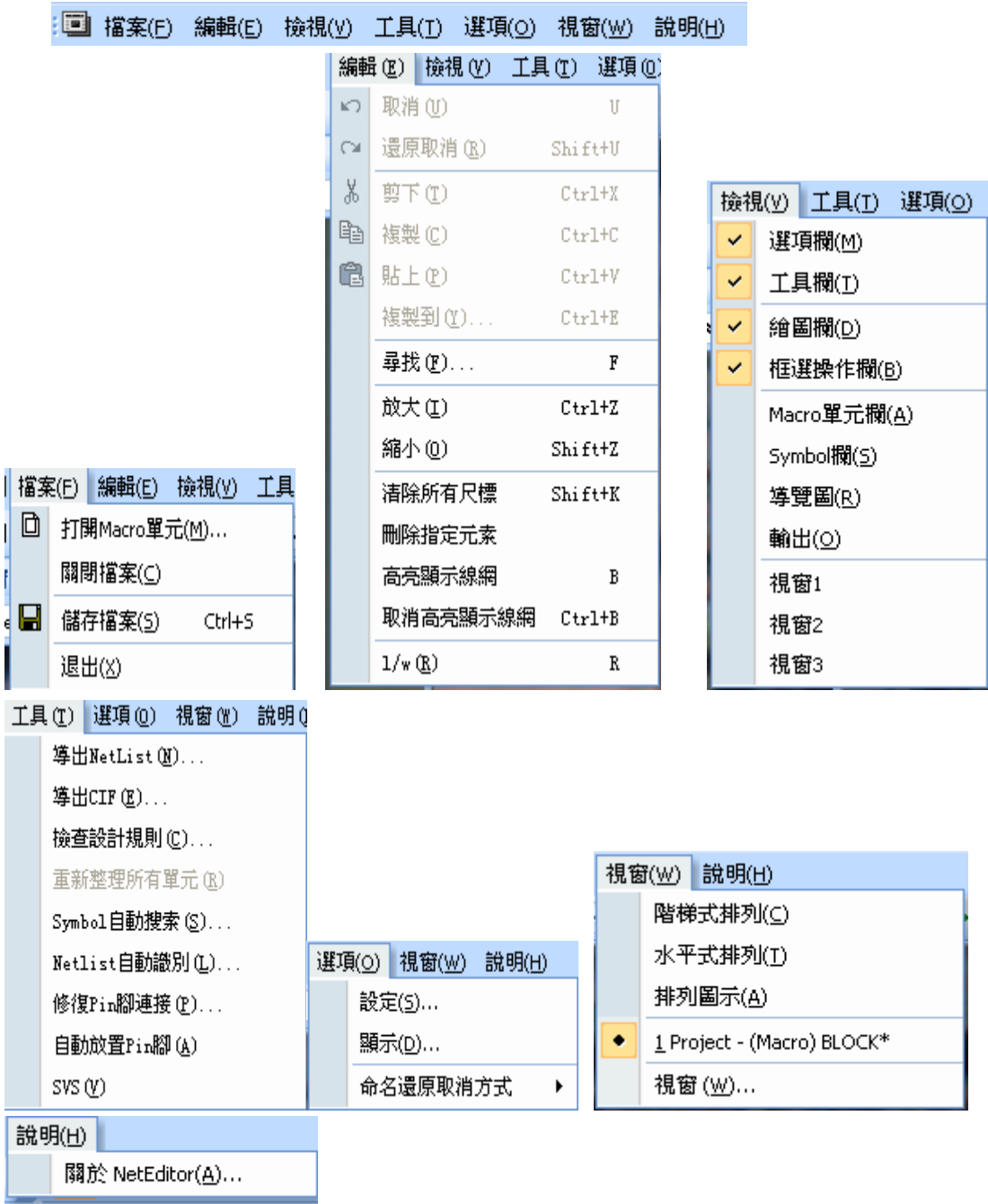
### 第三章 軟體介紹

點圖示  新建一個主 Macro 單元，顯示如下圖所示。介面視窗包括以下幾個部分：選項欄，工具欄，狀態欄，多層圖片視窗，主視窗，單元列表，輸出視窗以及導覽視窗



3.1 選項欄

選項欄如下圖所示，它對應軟體系統的一些基本功能。每個選項分述如下：



3.1.1 檔案功能列

選項	功能	快捷鍵
打開主 Macro 單元	打開主 Macro 單元	



關閉	關閉目前檔案	
存儲	存儲活動文檔	Ctrl+S
退出	退出應用程式	

### 3.1.2 編輯功能列

選項	功能	快捷鍵
取消	取消最後一步操作	U
還原取消	重新執行上次操作	Shift+U
剪下	剪下選定內容	Ctrl+X
複製	複製選定內容	Ctrl+C
貼上	插入剪貼板內容	Ctrl+V
複製到		Ctrl+E
查找	查找指定的字串	Ctrl+F
放大	放大目前視窗	Ctrl+Z
縮小	縮小目前視窗	Shift+Z
消除所有尺標	清除視圖上的尺標	Shift+K
刪除指定元素	刪除一些特定的元素，如 Pin，Power，Wire 等。	
高亮顯示線網		B
取消高亮顯示線網		Ctrl + B

### 3.1.3 檢視功能列

選項	功能	快捷鍵
選項欄	顯示或隱藏功能表欄	
工具欄	顯示或隱藏工具欄	
繪圖欄	顯示或隱藏繪圖欄	
框選操作欄	顯示或隱藏框選操作欄	
Macro 單元欄	顯示或隱藏 Macro 單元欄	
Symbol 欄	顯示或隱藏 Symbol 單元欄	
導覽圖	顯示或隱藏導覽圖	
輸出	顯示或隱藏輸出欄	
視窗 1	顯示或隱藏視窗 1	
視窗 2	顯示或隱藏視窗 2	

視窗口 3	顯示或隱藏視窗 3	
-------	-----------	--

#### 3.1.4 工具功能表

選項	功能	快捷鍵
導出 Netlist	產生目前視窗的 Netlist	
檢查設計規則	檢查方向版圖設計規則	
刷新所有單元	刷新單元	
Symbol 自動搜索	自動搜索 Symbol 實例	
Netlist 自動識別	自動搜索 Netlist 連接	
修復 Pin 腳連接	修復斷開的連接關係	
自動放置 Pin	空線頭上放置管腳	
SVS	單元原理圖數據對比	

#### 3.1.5 選項功能表

選項	功能	快捷鍵
設定	格點及自動連接設定	
顯示	設定各圖元的顯示顏色	
命名重複方式	設定命名重複方式	
吸附到格點	打開/關閉格點吸附功能	

#### 3.1.6 視窗功能表

選項	功能	快捷鍵
階梯式排列	排列窗口成相互重疊	
水平式排列	排列窗口成互不重疊	
排列圖示	將圖示排列在視窗底部	
TEST_LED-(Macro) BLOCK	當前打開的視窗	
窗口	管理當前視窗	

### 3.1.7 幫助功能表

選項	功能	快捷鍵
關於 NetEditorLite	顯示程式資訊、版本號和版權	

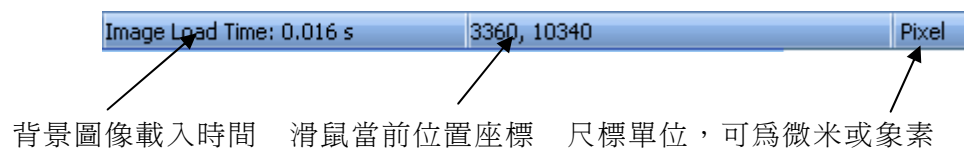
### 3.2 工具欄

工具欄上是一些常用的圖示按鈕，各圖示按鈕功能及其對應的快捷鍵如下表所示。



圖示	功能	快捷鍵
	顯示/隱藏圖像	~
	顯示所有/選中物件	F8
	標籤	F1
	引線	F2
	連接點	
	電源	F4
	空接點	F5
	Pin 腳	
	矩形/創建單元	
	線、多邊行	
	測量尺標	K
	刪除	DEL
	移屏	
	座標定位	
	放大	Ctrl+Z
	縮小	Shift+Z
	框選拖拽(保持連接關係)	
	框選移動(不保持連接關係)	
	框選複製	
	框選旋轉	
	兩點間斷線的自動連接	

### 3.3 狀態欄



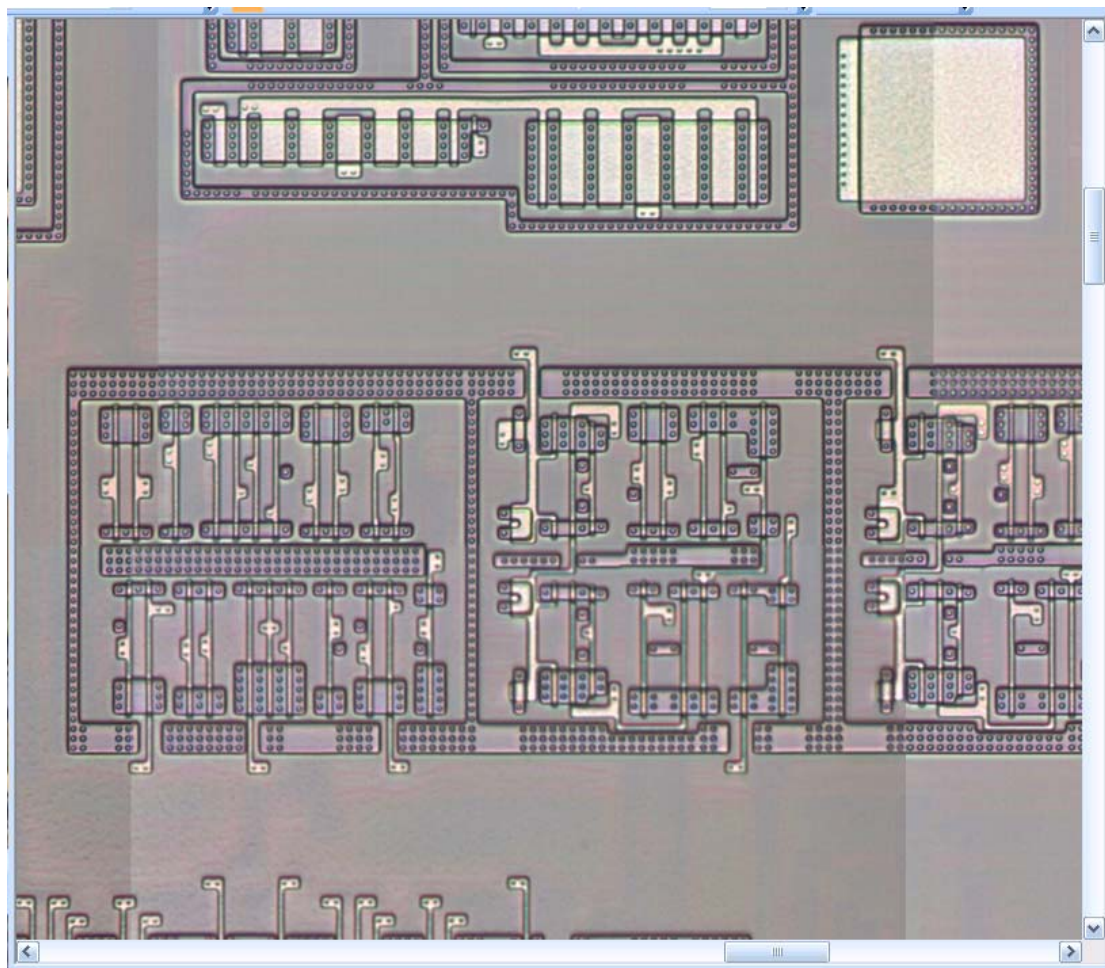
### 3.4 多層圖像瀏覽欄



### 3.5 主視圖

主視圖顯示當前位置處的圖像，切換不同層圖像按數位鍵，鍵 1 對應第一層圖

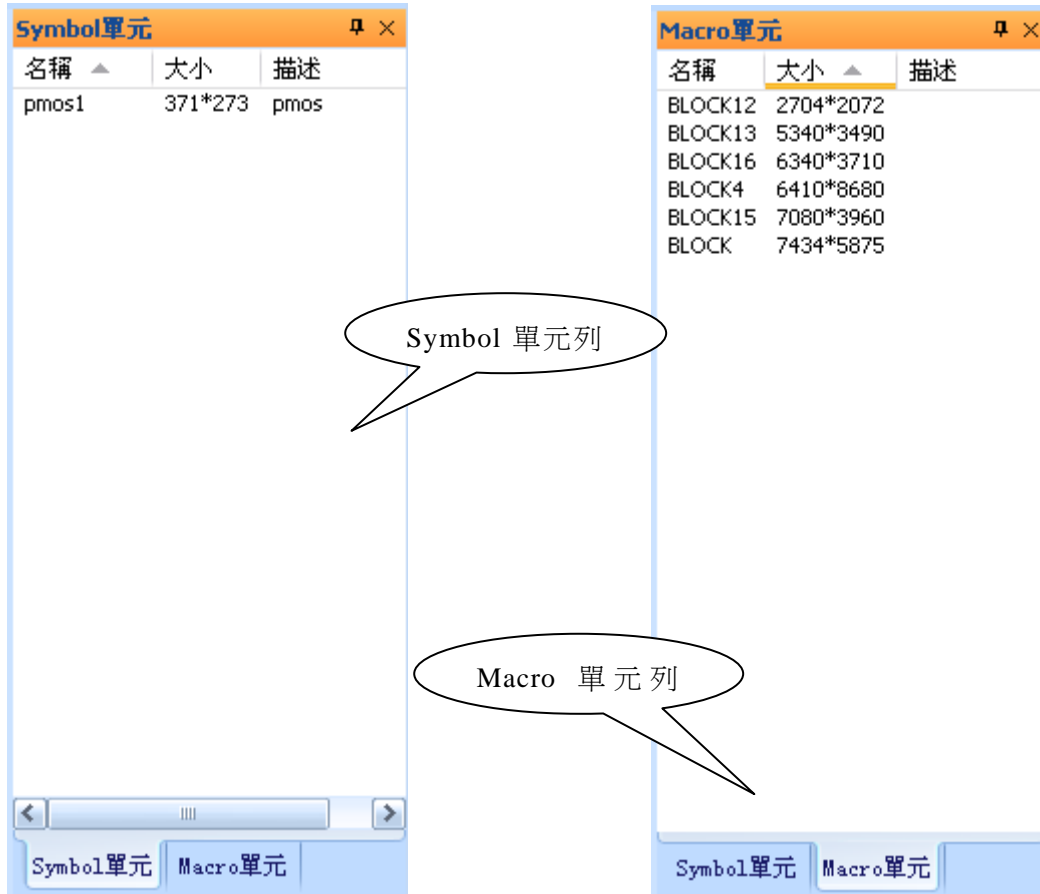
像，鍵 2 對應第二層圖像，鍵 3 對應第三層圖像，依此類推。按~鍵顯示或隱藏背景圖像。



### 3.6 單元列表

按名稱排序

按大小排序

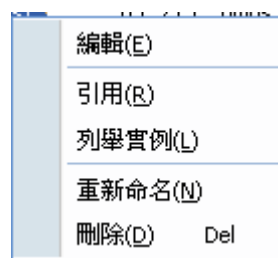


相關操作：

單擊“名稱”，“大小”，“描述”標籤可以進行相應的排序，便於查找單元。

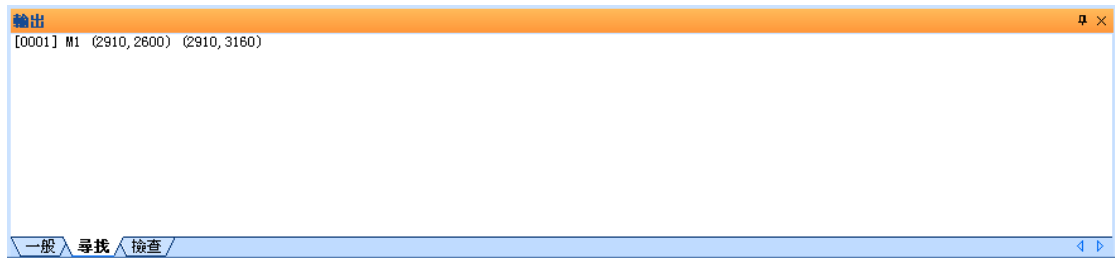
雙擊單元名稱，打開對應的單元。

按右鍵顯示功能表如下：



### 3.7 輸出窗口欄

輸出視窗欄記錄用戶的一些操作過程及其對應的輸出結果，如建立 Macro 單元、單元定位、線網 ERC 等。



### 3.8 導覽視窗

通過導覽視窗欄，用戶可以清楚地知道到當前主視圖以及 Macro 單元在整個晶片圖像中所處的位置；通過點擊導覽視窗，用戶也可以方便地定位到想瀏覽的圖像位置。



當前主視圖視窗的位置

當前打開的 Macro 單元視窗的位置




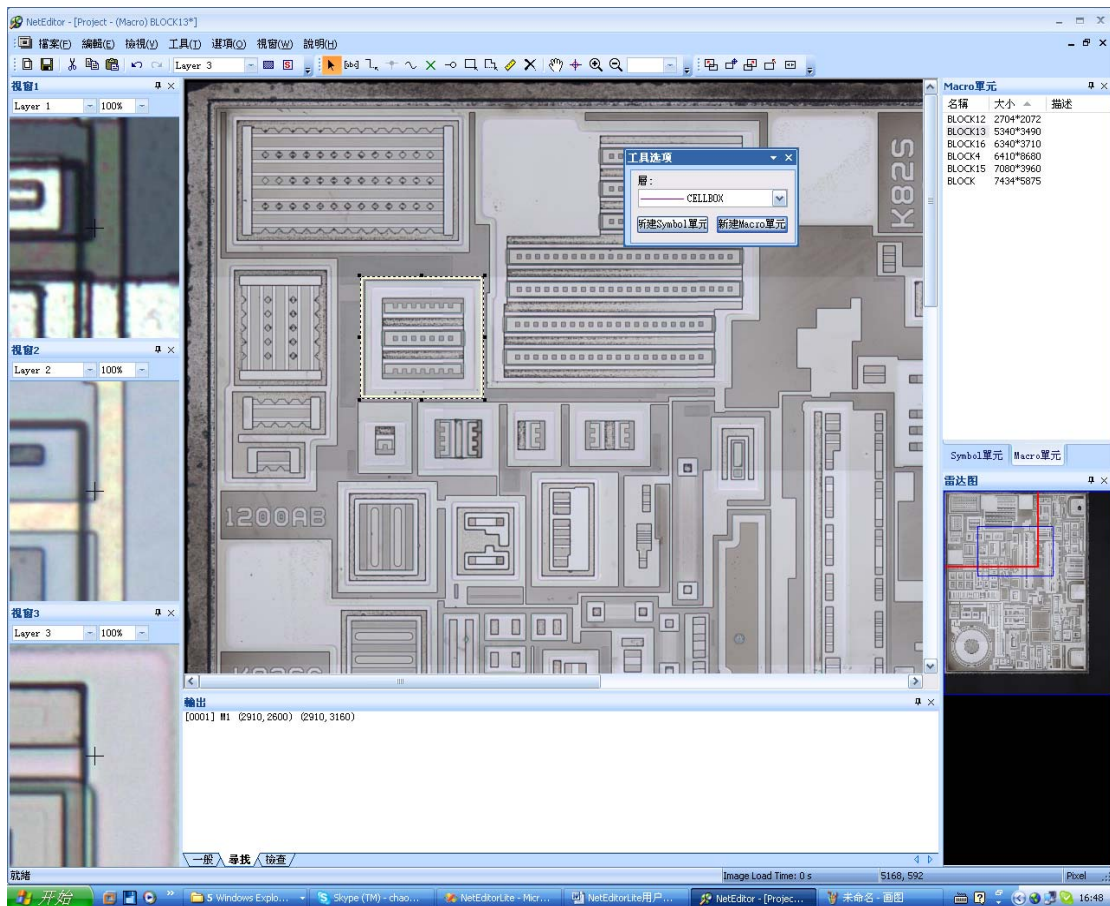
## 第四章 Netlist提取流程

電路 Netlist 按以下流程進行提取：

- 1· 主 Macro 單元建立
- 2· 功能模組劃分
- 3· 每個功能模組內部 Netlist 提取
- 4· 電學規則檢查(ERC)
- 5· Netlist 導出

### 4.1 主Macro單元建立

主 Macro 單元對應整個晶片的工作區，它是頂層單元。建立主 Macro 單元的目的是將以後的操作都限定在此主 Macro 單元內部，包括 Macro 單元（功能模組）和符號單元（元器件）的建立。主 Macro 單元按以下方法建立：縮小圖像至合適比例，點擊工具欄上  按鈕，框選單元定位所在區域，如圖白色邊框所示：



在彈出的“工具選項”對話方塊中點擊“新建 Macro 單元”，然後在將彈出的“單元屬性”對話方塊中點擊“存儲”即可，如下圖所示。在“單元屬性”對話方塊中可以修改其 Name 屬性，同時也可以設定 RefPrefix 參數，使 Macro 單元內所有引用的實例名稱前都以 RefPrefix 的值做為首碼，這樣可以方便的通過實例名稱首碼找出其所屬的 Macro 單元。本例中其 Name 屬性為 BLOCK18，RefPrefix 參數值為 BL\_，這樣在 BLOCKMacro 單元引用的所有實例名稱都以 BL\_開頭。

Parameter	Show?	Default value
Name	Default to show	BLOCK18
Reference	Default to show	M?
RefPrefix	Default to hidden	BL_

預設方向: Top

描述:

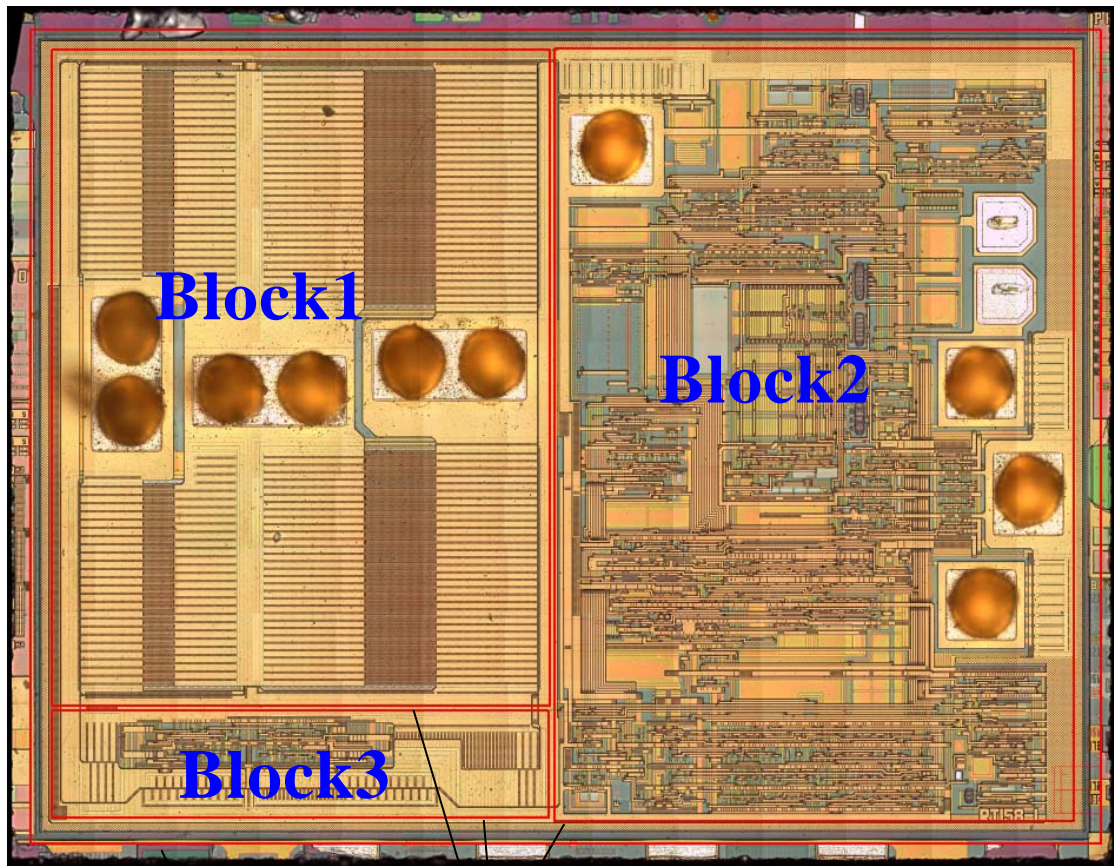
引用外部資料庫

Library:

Cell:

#### 4.2 功能模組劃分

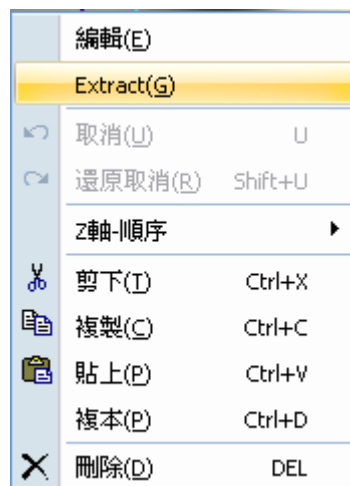
根據晶片圖像各個部分的工作原理和電學功能，可將晶片圖像化分成若干個 Macro 單元（功能模組），模組之間不應重疊。Macro 單元劃分方法通主 Macro 單元建立的步驟一樣，下圖為一個劃分好的功能模組示意圖：



主 Macro 單元邊框

Macro 單元（功能模組）邊框

在 Macro（Block1 或 Block2 或 Block3）單元提取 Netlist 提取過後，如果想在主 Macro（Block）中提取 Netlist，可通過右擊 Macro 單元，彈出菜單如下圖選擇“Extract”，就可以將 Macro 中的 Netlist 數據，解散到當前主 Macro 中。

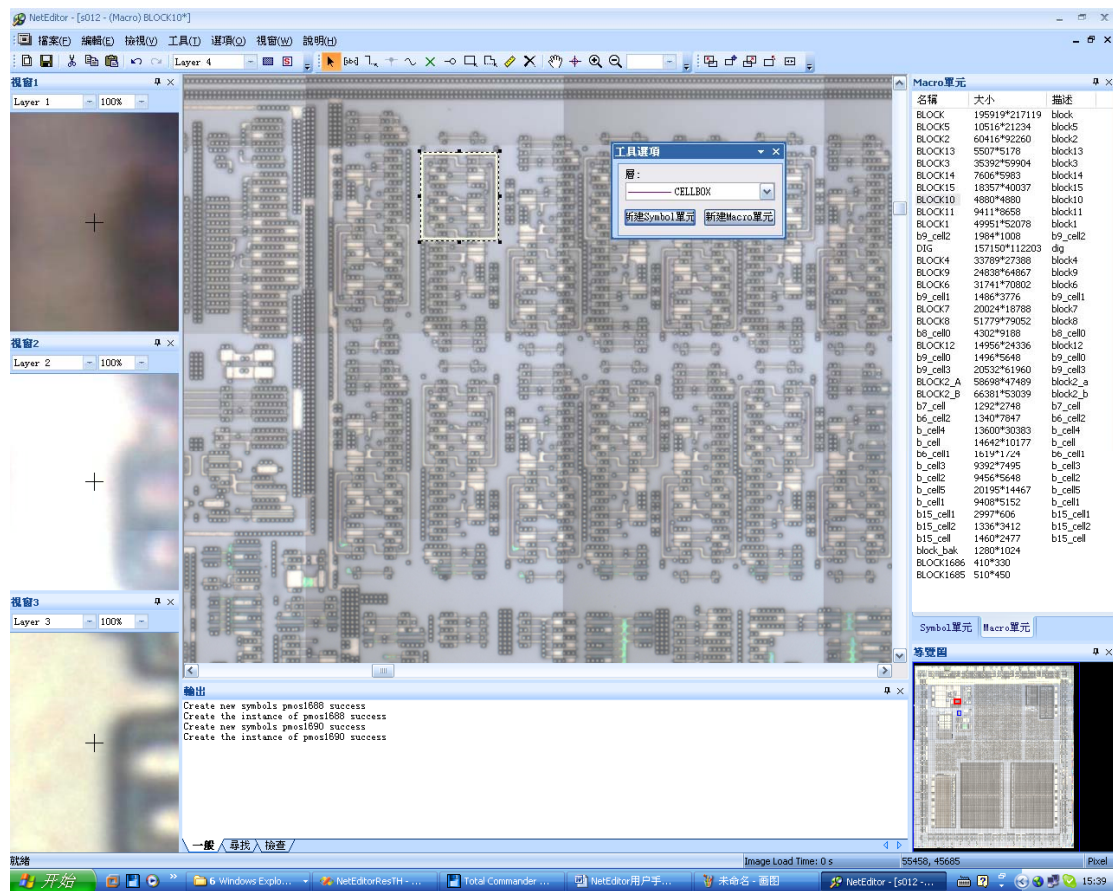


#### 4.3 每個功能模組內部Netlist提取

a) 首先在各功能模組內部定義 Symbol 單元。Symbol 單元定義方法如下：點擊



☐ 按鈕，框選待搜索的單元，如圖所示：



在彈出的“工具選項”對話方塊中點擊“新建 Symbol 單元”，並修改其 Name 屬性（本例中為 pmos1688），然後點擊“存儲”，如圖所示。

**單元屬性**

Parameter	Show?	Default value
Name	Default to show ▼	pmos1688
Reference	Default to show ▼	M?
w	Default to hidden ▼	0u
l	Default to hidden ▼	0u

增加 刪除

預設方向: Top ▼

描述: pmos

引用外部資料庫

Library: analogLib ▼

Cell: pmos ▼

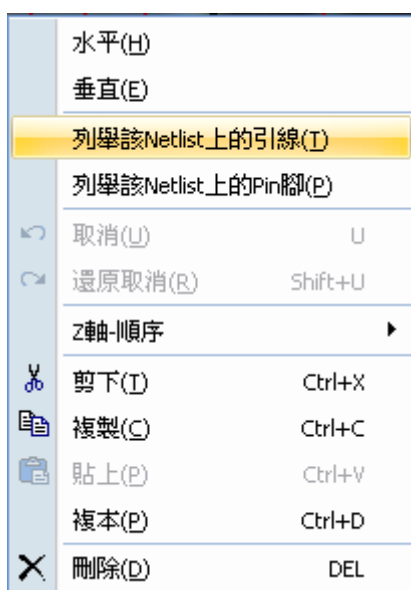
儲存 取消

b) 然後進行單元自動搜索，並對搜索結果進行人工確定或修改，遺漏的單元還需人工擺放上去（此版本不支持）。

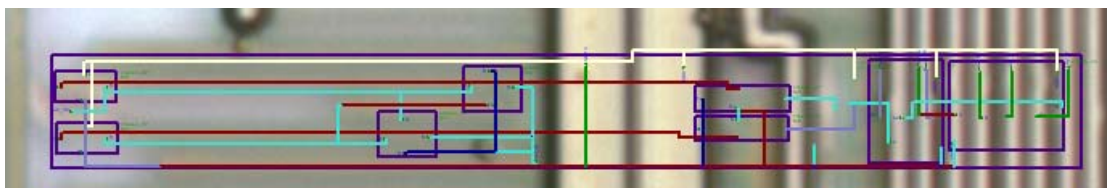
- c) 再對該功能模組進行線網自動識別，由於圖像品質的影響，一些沒有識別出來的線網需要人工繪製（此版本不支持）。
- d) 最後將線網向單元引腳上連接，形成一個完整的 Netlist。

#### 4.4 指定Netlist的检查

每個功能模組的 Netlist 提取過後，如果想要查找特定 Netlist 上所包含的 Pin 腳或引線時，可以在指定的 Netlist 上右擊，彈出菜單（如下圖所示）選擇“列舉該 Netlist 上的 Pin 腳”或“列舉該 Netlist 上的引線”就可以在輸出窗口中獲取到該 Netlist 上的 Pin 腳或引線。按 TAB 鍵逐個定位查看（按 SHIFT+TAB 回上條）。



如果想要從整體上查看該 Netlist 的組成，可以直接雙擊該 Netlist，該 Netlist 上所有引線與 Pin 腳都顯示出來，效果如下圖所示：



#### 4.5 電學規則檢查(ERC)

每個功能模組的 Netlist 提取過後，需要進行電學規則檢查。經過電學規則檢查，可以基本消除電路中包括引用名、物理和邏輯等的錯誤（詳見第五章）。

#### 4.6 網表數據對比 (SVS)

為了提高提取網表數據的準確度，我們一般會進行兩次或多次網表數據的提取，然後進行單元級的網表數據對比 (SVS)，以發現連線錯誤。兩次的網表數據的提取應基於相同的引用單元數據，然後分別進行連線提取（重新保存單元時改變其名稱來獲取相同的引用單元數據）。

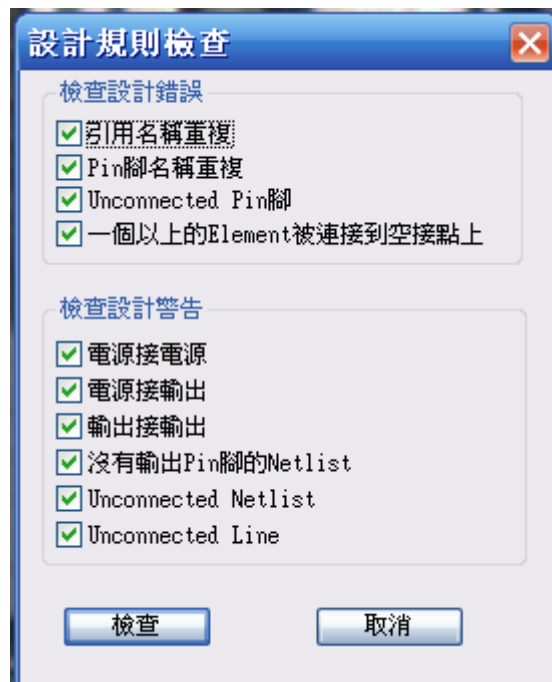
#### 4.7 Netlist輸出

各個功能模組的 Netlist 提取完畢，可以導出 Netlist 到 Synopsys、Cadence 等正向設計軟體中進行再設計。目前系統支援 Verilog、Edif200 格式的 Netlist 輸出（詳見第六章）

## 第五章 電學規則檢查

每個功能模組的 Netlist 提取過後，在導出 Netlist 資料之前，需要進行電學規則檢查。經過電學規則檢查，可以基本消除電路中包括引用名、物理和邏輯等的錯誤。

點擊工具功能表下的“檢查設計規則”，將彈出如下對話方塊：



在上圖所示對話方塊中勾選待檢查的專案，然後點擊按鈕“檢查”。檢查結束後，將在輸出欄中顯示出錯的 Netlist。跟以往操作一樣，按 Tab 鍵即可定位到出錯的位置。

## 第六章 Netlist數據導出

點擊工具功能表下的“導出 Netlist”，將彈出如下對話方塊：



目前輸出檔案格式有 Verilog 和 Edif200 兩種可供選擇。在導出 EDIF200 格式時可以選擇 Symbol 單元引用外部庫，直接用外部庫定義的單元替換 Symbol 單元。點擊“導出”，將會生成指定格式的 Netlist 檔案。

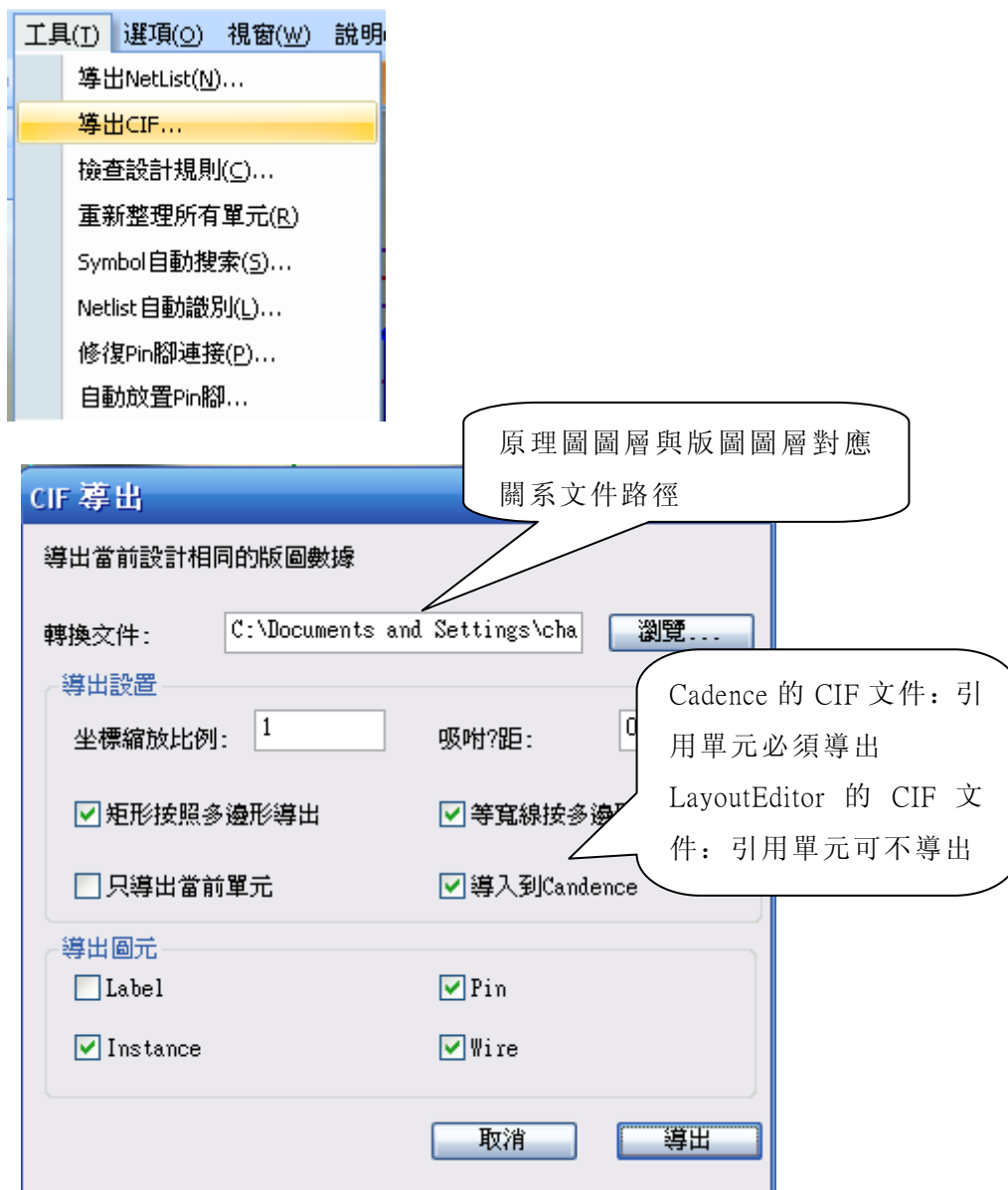


## 第七章 原理圖數據導出版圖數據

根據 NetEditorLite 提取的電路圖數據,導出簡要的版圖數據,然後將此數據導入到 LayoutEditor,Cadence 進行版圖數據的精提取,精設計。

### 7.1 導出版圖數據CIF文件

在菜單欄”工具”中點擊打”導出 CIF...”,如下圖:



原理圖圖層與版圖圖層對應關係文件內容大致如下：

```
LayerMap CELLBOX Boundary 0.45
LayerMap M1 MET1 0.45
LayerMap M2 MET2 0.5
LayerMap M3 MET3 0.5
LayerMap M4 MET4 0.5
LayerMap M5 MET5 0.5
ViaMap M1 M2 VIA1
ViaMap M2 M3 VIA2
ViaMap M3 M4 VIA3
ViaMap M4 M5 VIA4
ViaParam VIA1 0.45 0.15
ViaParam VIA2 0.45 0.15
ViaParam VIA3 0.45 0.15
ViaParam VIA4 0.45 0.15
```

LayerMap：層映射關鍵字，後面依次為 NetEditorLite 中的層名（M1）、LayoutEditor 中的層名（MET1）及它（MET1）的線寬。（如果在 NetEditorLite 中用 M1 畫的圖元，則在導出 CIF 時，將 M1 層轉換為 MET1 層）

ViaMap：自動增加孔關鍵字，後面為 NetEditorLite 中的層名（M1、M2）、孔層名（VIA1）。（如果在 NetEditorLite 中的 M1、M2 畫的線相交，則在導出 CIF 時在交點處自動增加孔實例 VIA1。）

ViaParam：孔層的關鍵字，後面依次為孔層名（VIA1）、孔層線寬、孔層的覆蓋距離。設置了一個孔所需要的參數，在導出 CIF 時將根據此參數來繪制自動增加的孔單元。

注意：區分大小寫，一行一關鍵字

## 7.2 CIF數據導入到LayoutEditor

參考 LayoutEditor 使用手冊

## 7.3 CIF數據導入到Cadence

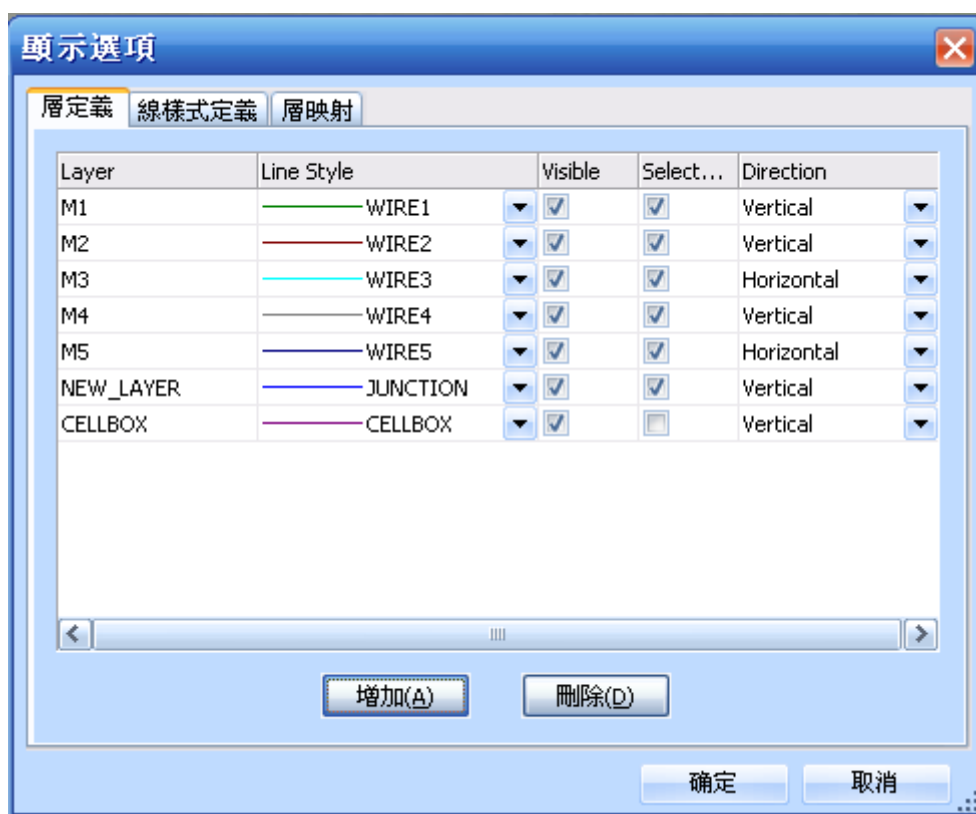
參考 LayoutEditor 使用手冊

## 第八章 關於設定選項

軟體的一些設定選項非常重要，比如說顏色設定、格點設定等，下面將逐一闡述。

### 8.1 顏色設定

點擊“選項”功能表下的“顯示”，將彈出顯示選項對話方塊，如下圖所示。線上樣式欄可以修改線條的樣式屬性，在默認方向欄中可以修改線條的方向。另外還可以點擊“增加”來增加新的層線條，並為它設定相應樣式和方向屬性。



點擊標籤“線樣式定義”，將彈出下圖所示對話方塊。在該對話方塊中可以設定線條的名稱、顏色、樣式、線寬等屬性。通過點擊“增加”可增加新的線樣式。



點擊標籤“層映射”，將彈出下圖所示對話方塊。在該對話方塊中可以設定 Image 圖像層、邏輯層（自定義層）、快捷鍵之間的對應關係。



## 8.2 選項設定

點擊“選項”功能表下的“設定”，將顯示如下對話方塊。在“格點設定”標籤頁中，可以設定格點和尺標屬性。

勾選“顯示格點”，將在主視圖中顯示格點；勾選“吸附到格點”，所有的圖元將吸附到離它最近的格點上，移動圖元的時候也是按格點移動（如果沒有勾選“吸附到格點”，將按水平、垂直移動）。“標準格點間距”10 個像素，“最佳格點間距”20 個像素，用戶也可以自行設定格點間距。

尺標設定有像素和微米兩種。當需要用尺標測量元器件的尺寸時，一般勾選“單位為微米”。



“自動連接線設定”標籤頁如下圖所示。各選項意義如下：



勾選“自動吸附連接線”，在手工繪製 Netlist 的時候，如果當前滑鼠位置離最近的圖元小於某一閾值（默認為 15 個象素，用戶可以根據需要修改），線條會自動吸附到離它最近的圖元上。

勾選“自動拖曳連接線”，當移動某一線條時，跟它有連接關係的圖元也會跟著一起移動。

勾選“自動放置連接點”，軟體系統會在兩根引線或 Netlist 相交的地方自動擺放一個連接點。

勾選“雙擊線網時列舉此 Net 上的 pin 腳”，軟體系統會在雙擊線時顯示線網的同時，也將此線網上的 pin 列舉出來。

勾選“鼠標滑過時顯示 Net 名稱”，軟體系統會實時顯示線所屬 Net 的名稱。

## 常見問題

Q1: 附件(PRA1.edf), 雖有pin name, 但仍沒有連線; 請問應如何操作?  
同時將連線關係用wire連接起來, 是否為手動拉線?



Re

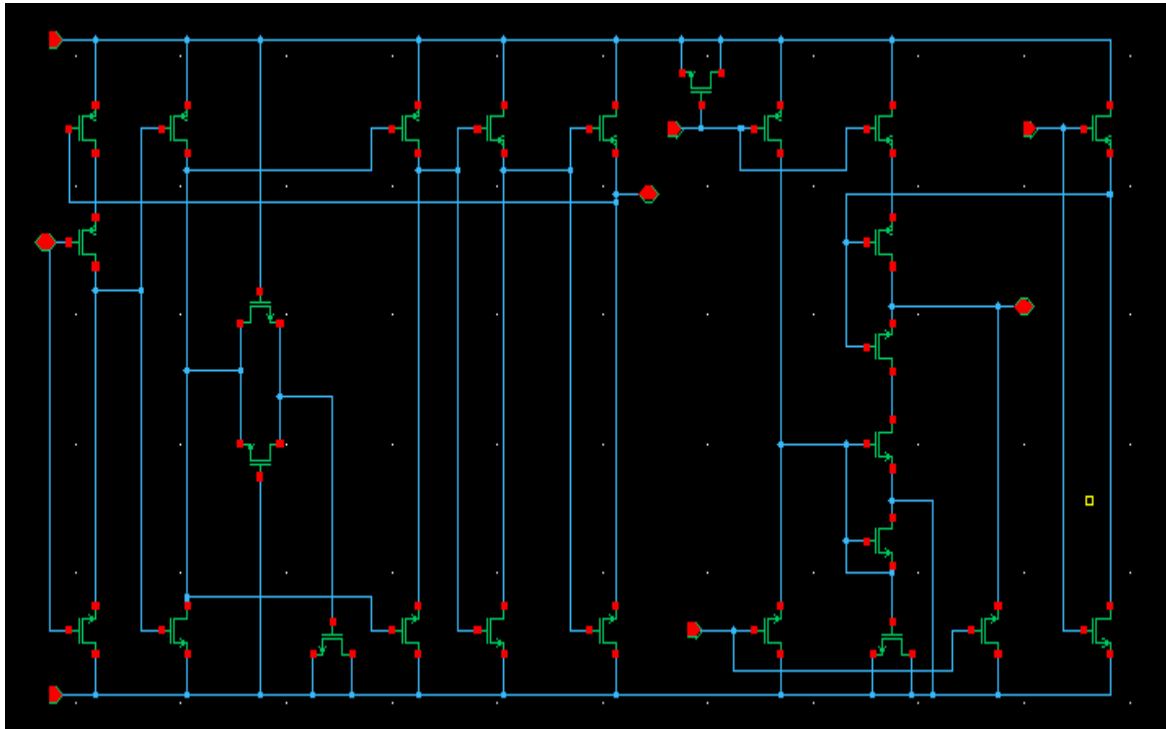
軟體所導出的 edf200 格式, 在保留邏輯連線關係的前提下, 將 long wire 縮短為 small wire 如上圖 M1\_0、M2\_0、M3\_0 均是代表著其邏輯連線關係的 wire name。這種設計是為了導入 cadence 後方便整理 (移動器件時, 不受 long wire 影響, 同時實踐表明, 重新擺放器件後, 其 long wire 大多不美觀, 均需修改, 反而增加工作量)。

成型的 IC, 器件經過重新佈局、wire 重新布線, 擺放混亂、wire 跨度過大, 造成模塊功能識別困難, 所以在導入 Cadence 為了模塊功能識別容易與美觀, 都十分有必要進行重新整理 (將存在連接關係的器件擺放在一起, small wire 手動連接起來)。

由於 edf200 格式沒有丟失其邏輯連線關係, 所以不影響其後續的仿真與驗證等工作。

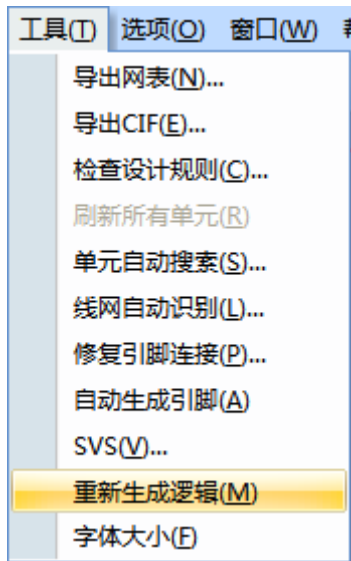
軟件所導出的 Verilog 格式, 保留了 long wire 存在。

如下圖為整理後的：



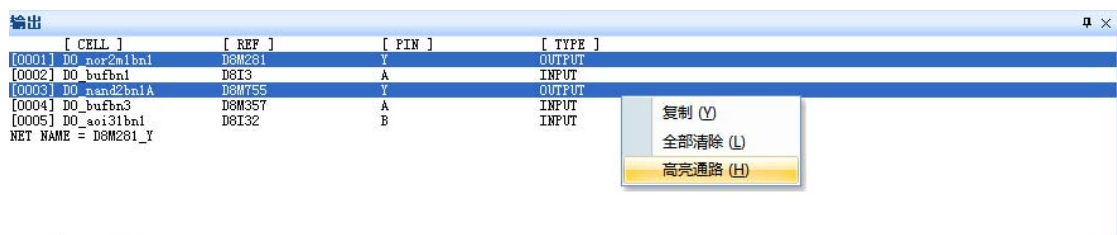
Q2：线网逻辑关系发生紊乱后，如何解决。

Re：运行“重新生成逻辑”命令



Q3：如何快速查找线网中的短路连接点

Re：首先列举该线网的引脚，然后在输出窗口，进行如图操作：





附件：快捷鍵一欄表

快捷鍵	圖示	功能
數字鍵 1、2、3……		切換不同層圖像，1 對應第一層圖像，2 對應第二層圖像，依次類推
~		顯示/隱藏圖像
方向鍵或 W,A,S,D		上下左右移動視圖
雙擊單元列表欄單元		打開該單元
雙擊某根引線		選定跟該引線連接的所有線網
Tab		向下瀏覽輸出欄中對象
Shift+Tab		向上瀏覽輸出欄中對象
F1		給引線加標籤
F2		增加引線
F4		電源
F5		空接點
F8 或 E		顯示所有/選中物件
Q		在當前實例位置顯示其對應單元圖像
DEL		刪除
K		尺標
Shift+K		清除視圖上的尺標
U		取銷上次操作
Shift+U		還原上次操作
Ctrl+X		剪下選定內容
Ctrl+C		複製選定內容
Ctrl+V		貼上剪貼板內容
Ctrl+F		查找指定的字串
Ctrl+Z		放大目前視窗
Shift+Z		縮小目前視窗
Ctrl + S		存儲目前檔案
B		高亮顯示線網
Ctrl + B		取消顯示線網

R		提取符號單元框內的標尺值
Ctrl + R		提取實例單元框內標尺值 (首次畫的標尺為單元參數 l 值，最後畫的標尺為單元參數 w 值，只有一標尺則為單元參數 l 與 w 值)